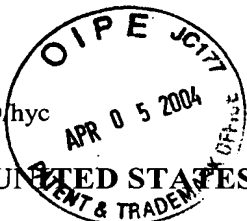


Docket No. 244795US2RD/hyc



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Minoru AMANO, et al.

GAU:

SERIAL NO: 10/696,000

EXAMINER:

FILED: October 30, 2003

FOR: MAGNETO-RESISTANCE EFFECT ELEMENT AND MAGNETIC MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY  
JAPAN

APPLICATION NUMBER  
2002-318965

MONTH/DAY/YEAR  
October 31, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

Surinder Sachar  
Registration No. 34,423



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 3 1 日  
Date of Application:

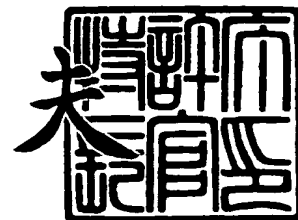
出 願 番 号                      特 願 2 0 0 2 - 3 1 8 9 6 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 1 8 9 6 5 ]

出      願      人                      株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年    9 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 13792801

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/02

【発明の名称】 磁気抵抗効果素子および磁気メモリ

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
研究開発センター内

【氏名】 天 野 実

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
研究開発センター内

【氏名】 岸 達 也

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
研究開発センター内

【氏名】 池 川 純 夫

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
研究開発センター内

【氏名】 斉 藤 好 昭

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

## 【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

## 【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

## 【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

## 【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

## 【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

## 【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気抵抗効果素子および磁気メモリ

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの書き込み配線と、前記書き込み配線の外周の少なくとも一部に設けられ、前記書き込み配線に電流を流すことにより磁化方向が反転可能な強磁性体からなる少なくとも 1 つのデータ記憶部と、前記データ記憶部近傍に設置され、前記データ記憶部の磁化の向きを感知する磁気抵抗効果素子とを有するメモリセルを備えていることを特徴とする磁気メモリ。

【請求項 2】

各メモリセルは、前記書き込み配線にソース・ドレインの一方が接続される書き込み選択トランジスタを備えていることを特徴とする請求項 1 記載の磁気メモリ。

【請求項 3】

前記データ記憶部が前記書き込み配線の外周の少なくとも 3 方向を囲むように設けられ、残る 1 方向に前記磁気抵抗効果素子が設置され、前記データ記憶部の磁化の向きが前記書き込み配線の外周方向に略平行であり、前記データ記憶部の両端に現れた磁化の向きが前記磁気抵抗効果素子により感知される請求項 1 または 2 記載の磁気メモリ。

【請求項 4】

前記データ記憶部が前記書き込み配線の外周の 4 方向を囲むように設けられ、このうちの 1 方向に前記磁気抵抗効果素子が設置され、前記データ記憶部と前記磁気抵抗効果素子の磁化自由層とが磁氣的に結合していることを特徴とする請求項 1 または 2 記載の磁気メモリ。

【請求項 5】

前記データ記憶部と前記磁気抵抗効果素子の磁化自由層とが直接接していることを特徴とする請求項 1 乃至 4 のいずれかに記載の磁気メモリ。

【請求項 6】

複数の共用ビット線と、各共用ビット線からメモリセルごとに枝分かれしたセ

ルビット線とを備え、このセルビット線の外周の少なくとも一部に前記データ記憶部が設けられ、このデータ記憶部近傍に前記磁気抵抗効果素子が設置され、前記セルビット線が前記書き込み配線として機能することを特徴とする請求項 1 乃至 5 のいずれかに記載の磁気メモリ。

【請求項 7】

前記磁気抵抗効果素子の近傍に設けられ、前記データ記憶部の磁化の向きの感知をアシストするセンスアシスト線を備えていることを特徴とする請求項 1 乃至 6 のいずれかに記載の磁気メモリ。

【請求項 8】

前記データ記憶部の近傍に前記セルビット線と略直交するように設けられ、前記データ記憶部の磁化の向きに直交する方向に磁場を発生するライトアシスト線を備えていることを特徴とする請求項 6 記載の磁気メモリ。

【請求項 9】

前記セルビット線は、対応する前記共用ビット線から枝分かれした第 1 配線部と、絶縁膜を介して前記磁気抵抗効果素子の側部に沿って設けられ一端が前記第 1 配線部に接続する第 2 配線部と、一端が前記第 2 配線部の他端に接続され前記磁気抵抗効果素子を挟んで前記前記第 1 配線部と略平行に設けられる第 3 配線部とを有し、前記磁気抵抗効果素子は前記第 1 配線部または前記第 3 配線部の一方に電氣的に接続され、前記データ記憶部は、前記第 1 配線部の外周部に設けられた第 1 記憶部と、前記第 3 配線部の外周部に設けられた第 2 記憶部とを有し、前記第 1 記憶部近傍かつ前記第 2 記憶部近傍に前記磁気抵抗効果素子が設置されていることを特徴とする請求項 6 記載の磁気メモリ。

【請求項 10】

第 1 および第 2 磁気抵抗効果素子を有し、前記セルビット線は、対応する前記共用ビット線から枝分かれし、前記第 1 磁気抵抗効果素子が電氣的に接続する第 1 配線部と、絶縁膜を介して前記磁気抵抗効果素子の側部に沿って設けられ一端が前記第 1 配線部に接続する第 2 配線部と、一端が前記第 2 配線部の他端に接続され前記第 1 配線部と略平行に設けられ前記第 2 磁気抵抗効果素子が電氣的に接続される第 3 配線部とを有し、前記データ記憶部は、前記第 1 配線部の外周部に

設けられた第1記憶部と、前記第3配線部の外周部に設けられた第2記憶部とを有し、前記第1記憶部近傍に前記第1磁気抵抗効果素子が設置され、前記第2記憶部近傍に前記第2磁気抵抗効果素子が設置されていることを特徴とする請求項6記載の磁気メモリ。

【請求項11】

前記第1および第2磁気抵抗効果素子の出力を差動で読み出す差動アンプを備えたことを特徴とする請求項10記載の磁気メモリ。

【請求項12】

各メモリセルには第1および第2共用ビット線が対応付けられ、前記セルビット線は、前記第1共用ビット線から枝分かれし、前記磁気抵抗効果素子が電氣的に接続する第1配線部と、前記第2共用ビット線から枝分かれし、前記磁気抵抗効果素子を挟んで前記第1配線部に略平行に設けられる部分を有する第2配線部とを有し、前記データ記憶部は、前記第1配線部の外周部に設けられた第1記憶部と、前記第2配線部の外周部に設けられた第2記憶部とを有し、前記第1記憶部近傍かつ前記第2記憶部近傍に前記磁気抵抗効果素子が設置され、前記磁気抵抗効果素子は、磁化が固定された磁化固着層と、前記第1記憶部および前記第2記憶部の磁化の向きを感知する磁化自由層とを有し、前記磁化固着層と前記磁化自由層の磁化容易軸方向が略直交していることを特徴とする請求項6記載の磁気メモリ。

【請求項13】

書き込み配線の外周を被覆し、前記書き込み配線に電流を流すことにより磁化方向が反転可能な強磁性体からなる少なくとも1つの磁化自由層と、前記磁化自由層に接して設置されたトンネルバリア層、前記トンネルバリア層に接する磁化固着層、前記磁化固着層に接する反強磁性層を有する積層膜とを備えていることを特徴とする磁気抵抗効果素子。

【請求項14】

書き込み配線の外周を被覆し、前記書き込み配線に電流を流すことにより磁化方向が反転可能な強磁性体からなる少なくとも1つの磁化自由層と、前記磁化自由層上に接して設置された第1のトンネルバリア層、第1のトンネルバリア層に

接する第1の磁化固着層、および第1の磁化固着層に接する第1の反強磁性層を有する第1積層膜と、前記磁化自由層下に接して設置された第2のトンネルバリア層、第2のトンネルバリア層に接する第2の磁化固着層、および第2の磁化固着層に接する第2の反強磁性層を有する第2積層膜とを備えていることを特徴とする磁気抵抗効果素子。

#### 【請求項15】

前記第1および第2の磁化固着層の一方が、第1強磁性層、この第1強磁性層に接する非磁性層、および前記非磁性層に接する第2強磁性層を備えていることを特徴とする請求項14記載の磁気抵抗効果素子。

#### 【請求項16】

複数のメモリセルを有し、各メモリセルが請求項13乃至15のいずれかに記載の磁気抵抗効果素子と、を有していることを特徴とする磁気メモリ。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、磁気抵抗効果素子および磁気メモリに関する。

##### 【0002】

##### 【従来の技術】

磁気ランダムアクセスメモリ（以下、MRAMとも云う）とは、情報を記憶するメモリセル部に磁気抵抗効果を持つ磁気抵抗効果素子を用いたメモリ装置で、高速動作、大容量、不揮発性を特徴とする次世代メモリ装置として注目されている。磁気抵抗効果とは、強磁性体に磁場を印加すると強磁性体の磁化の向きに応じて電気抵抗が変化する現象である。こうした強磁性体の磁化の向きを情報の記録に用い、それに対応する電気抵抗の大小で情報を読み出すことによりメモリ装置として動作させることができる。

##### 【0003】

近年、2つの強磁性層の間にトンネルバリア層と呼ばれる絶縁層を挿入したサンドイッチ構造を含む強磁性トンネル接合において、トンネル磁気抵抗効果（以下、TMR効果とも云う）により20%以上の磁気抵抗変化率（MR比）が得ら



れるようになったことをきっかけとして、トンネル磁気効果を利用した強磁性トンネル接合磁気抵抗効果素子（以下、TMR素子とも云う）を用いたMRAMが期待と注目を集めている。

#### 【0004】

MRAMのメモリセルにTMR素子を用いる場合、トンネルバリア層を挟む二つの強磁性層のうち、一方の強磁性層を磁化の向きが変化しないように固定した磁化固着層（または基準層とも云う）とし、もう一方の強磁性層を外部磁界に応じて磁化の向きが反転する磁化自由層（または記憶層とも云う）とする。基準層と記憶層の磁化の向きが平行な状態と反平行な状態を2進情報の“0”と“1”に対応付けることで情報を記憶することができる。記録情報の書き込みは、TMR素子近傍に設けられた書き込み配線に電流を流して発生する誘導磁場により記憶層の磁化の向きを反転させることにより行う。

#### 【0005】

また、記録情報の読み出しは、TMR効果による抵抗変化分を検出することにより行う。従って記憶層にはTMR効果による抵抗変化率（MR比）が大きく、磁化反転に必要な磁場すなわちスイッチング磁場が小さいほうが好ましい。

#### 【0006】

一方、基準層の磁化は反転しにくくなるように磁化の向きを固定することが必要であり、そのためには、強磁性層に接するように反強磁性層を設けて交換結合力により磁化反転を起こりにくくするという方法が用いられ、このような構造はスピンバルブ型構造と呼ばれている。この構造において基準層の磁化の向きは磁場を印加しながら熱処理すること（磁化固着アニール）により決定される。

#### 【0007】

上述したように、図21（a）に示すように、TMR素子3の記憶層3cの磁化反転は、書き込み配線80に流した電流による誘導磁場を用いるため、記憶層3cのスイッチング磁場が大きいと書き込み配線に流す電流が大きくなり、消費電力が大きくなるという問題がある。これを解決するために、図21（b）に示すように書き込み配線80を軟磁性材料82で被覆し、書き込み配線80から発生した誘導磁場をTMR素子3の近傍で強めるというヨーク付き配線が提案され

ている。なお、図 2 1 ( a ) 、 ( b ) において、TMR 素子 3 は、基準層 3 a 、トンネルバリア層 3 b 、および記憶層 3 c から構成されている。

#### 【 0 0 0 8 】

書き込み配線の周囲に高透磁率材料からなる薄膜（ヨーク）を設けた M R A M が提案されている（例えば、特許文献 1、および特許文献 2 参照）。

#### 【 0 0 0 9 】

##### 【特許文献 1】

米国特許第 5, 6 5 9, 4 9 9 号明細書

##### 【特許文献 2】

特開 2 0 0 2 - 1 1 0 9 3 8 号公報

#### 【 0 0 1 0 】

##### 【発明が解決しようとする課題】

このように、書き込み配線をヨークで被覆する構造により、数倍の磁場が発生することが可能となる。しかし、この付加したヨークに発生する残留磁化等により TMR 素子の記憶層の記憶状態が不安定になるといった問題がある。

#### 【 0 0 1 1 】

本発明は、上記事情を考慮してなされたものであって、記憶状態が安定な磁気抵抗効果素子および磁気メモリを提供することを目的とする。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

本発明の第 1 の態様による磁気メモリは、少なくとも 1 つの書き込み配線と、前記書き込み配線の外周の少なくとも一部に設けられ、前記書き込み配線に電流を流すことにより磁化方向が反転可能な強磁性体からなる少なくとも 1 つのデータ記憶部と、前記データ記憶部近傍に設置され、前記データ記憶部の磁化の向きを感知する磁気抵抗効果素子とを有するメモリセルを備えていることを特徴とする。ここでデータ記憶部近傍とは、データ記憶部の磁化の向きを磁気抵抗効果素子が読み出すことのできる範囲を示す。

#### 【 0 0 1 3 】

なお、各メモリセルは、前記書き込み配線にソース・ドレインの一方が接続さ

れる書き込み選択トランジスタを備えていても良い。

【0014】

なお、前記データ記憶部が前記書き込み配線の外周の少なくとも3方向を囲むように設けられ、残る1方向に前記磁気抵抗効果素子が設置され、前記データ記憶部の磁化の向きが前記書き込み配線の外周方向に略平行であり、前記データ記憶部の両端に現れた磁化の向きが前記磁気抵抗効果素子により感知されるように構成しても良い。

【0015】

なお、前記データ記憶部が前記書き込み配線の外周の4方向を囲むように設けられ、このうちの1方向に前記磁気抵抗効果素子が設置され、前記データ記憶部と前記磁気抵抗効果素子の磁化自由層とが磁氣的に結合しているように構成しても良い。

【0016】

なお、前記データ記憶部と前記磁気抵抗効果素子の磁化自由層とが直接接しているように構成しても良い。

【0017】

なお、複数の共用ビット線と、各共用ビット線からメモリセルごとに枝分かれしたセルビット線とを備え、このセルビット線の外周の少なくとも一部に前記データ記憶部が設けられ、このデータ記憶部近傍に前記磁気抵抗効果素子が設置され、前記セルビット線が前記書き込み配線として機能するように構成しても良い。

【0018】

なお、前記磁気抵抗効果素子の近傍に設けられ、前記データ記憶部の磁化の向きの感知をアシストするセンスアシスト線を備えるように構成しても良い。

【0019】

なお、前記データ記憶部の近傍に前記セルビット線と略直交するように設けられ、前記データ記憶部の磁化の向きに直交する方向に磁場を発生するライトアシスト線を備えるように構成しても良い。

なお、前記セルビット線は、対応する前記共用ビット線から枝分かれした第1

配線部と、絶縁膜を介して前記磁気抵抗効果素子の側部に沿って設けられ一端が前記第1配線部に接続する第2配線部と、一端が前記第2配線部の他端に接続され前記磁気抵抗効果素子を挟んで前記前記第1配線部と略平行に設けられる第3配線部とを有し、前記磁気抵抗効果素子は前記第1配線部または前記第3配線部の一方に電氣的に接続され、前記データ記憶部は、前記第1配線部の外周部に設けられた第1記憶部と、前記第3配線部の外周部に設けられた第2記憶部とを有し、前記第1記憶部近傍および前記第2記憶部近傍に前記磁気抵抗効果素子が設置されているように構成しても良い。

#### 【0020】

なお、第1および第2磁気抵抗効果素子を有し、前記セルビット線は、対応する前記共用ビット線から枝分かれし、前記第1磁気抵抗効果素子が電氣的に接続する第1配線部と、絶縁膜を介して前記磁気抵抗効果素子の側部に沿って設けられ一端が前記第1配線部に接続する第2配線部と、一端が前記第2配線部の他端に接続され前記第1配線部と略平行に設けられ前記第2磁気抵抗効果素子が電氣的に接続される第3配線部とを有し、前記データ記憶部は、前記第1配線部の外周部に設けられた第1記憶部と、前記第3配線部の外周部に設けられた第2記憶部とを有し、前記第1記憶部近傍に前記第1磁気抵抗効果素子が設置され、前記第2記憶部近傍に前記第2磁気抵抗効果素子が設置されているように構成しても良い。

#### 【0021】

なお、前記第1および第2磁気抵抗効果素子の出力を差動で読み出す差動アンプを備えるように構成しても良い。

#### 【0022】

なお、各メモリセルには第1および第2共用ビット線が対応付けられ、前記セルビット線は、前記第1共用ビット線から枝分かれし、前記磁気抵抗効果素子が電氣的に接続する第1配線部と、前記第2共用ビット線から枝分かれし、前記磁気抵抗効果素子を挟んで前記第1配線部に略平行に設けられる部分を有する第2配線部とを有し、前記データ記憶部は、前記第1配線部の外周部に設けられた第1記憶部と、前記第2配線部の外周部に設けられた第2記憶部とを有し、前記第

1 記憶部近傍かつ前記第 2 記憶部近傍に前記磁気抵抗効果素子が設置され、前記磁気抵抗効果素子は、磁化が固定された磁化固着層と、前記第 1 記憶部および前記第 2 記憶部の磁化の向きを感知する磁化自由層とを有し、前記磁化固着層と前記磁化自由層の磁化容易軸方向が略直交しているように構成しても良い。

#### 【0023】

また、本発明の第 2 の態様による磁気抵抗効果素子は、書き込み配線の外周を被覆し、前記書き込み配線に電流を流すことにより磁化方向が反転可能な強磁性体からなる少なくとも 1 つの磁化自由層と、前記磁化自由層に接して設置されたトンネルバリア層、前記トンネルバリア層に接する磁化固着層、前記磁化固着層に接する反強磁性層を有する積層膜とを備えていることを特徴とする。

#### 【0024】

また、本発明の第 3 の態様による磁気抵抗効果素子は、書き込み配線の外周を被覆し、前記書き込み配線に電流を流すことにより磁化方向が反転可能な強磁性体からなる少なくとも 1 つの磁化自由層と、前記磁化自由層上に接して設置された第 1 のトンネルバリア層、第 1 のトンネルバリア層に接する第 1 の磁化固着層、および第 1 の磁化固着層に接する第 1 の反強磁性層を有する第 1 積層膜と、前記磁化自由層下に接して設置された第 2 のトンネルバリア層、第 2 のトンネルバリア層に接する第 2 の磁化固着層、および第 2 の磁化固着層に接する第 2 の反強磁性層を有する第 2 積層膜とを備えていることを特徴とする磁気抵抗効果素子。

#### 【0025】

なお、前記第 1 および第 2 の磁化固着層の一方が、第 1 強磁性層、この第 1 強磁性層に接する非磁性層、および前記非磁性層に接する第 2 強磁性層を備えるように構成しても良い。

また、本発明の第 4 の態様による磁気メモリは、複数のメモリセルを有し、各メモリセルが上記記載の磁気抵抗効果素子と、を有していることを特徴とする。

#### 【0026】

#### 【発明の実施の形態】

本発明の実施形態による磁気メモリを説明する前に、各実施形態による磁気メモリに用いられるメモリセルの基本的な構成および動作原理について図 1 (a)

、（b）を参照して説明する。

#### 【0027】

各実施形態による磁気メモリは、複数のメモリセルを有している。そして、各メモリセルには、図1（a）、（b）に示すように、書き込み配線となるセルビット線2と、このセルビット線2の外周の一部分を被覆する強磁性材料からなりセルビット線2の外周方向に磁化されているデータ記憶部4と、このデータ記憶部4の近傍に設けられデータ記憶部4の磁化の向きを感知する磁気センサ3とを備えている。セルビット線2は、後述する共用ビット線BLから枝分かれするように形成される。

#### 【0028】

データ記憶部4は、セルビット線2を流れる電流によって誘導される磁場によって磁化が反転する。すなわち、データ記憶部4の磁化の向きはセルビット線2に流す電流の向きにより決まる。セルビット線2に流す電流を零にしても、データ記憶部4にはセルビット線2の外周方向の磁化が残留する。データ記憶部4に残留した磁化の向きを2進情報“0”と“1”に対応付ける。例えば、図1（a）に示す残留磁化の向きを2進情報の“0”に、図1（b）に示す残留磁化の向きを2進情報の“1”に対応付ける。このような対応を付ければ、セルビット線2に流す電流の向きに応じたデータがデータ記憶部4に書き込まれる。そして、データ記憶部4の残留した磁化の向きを、近傍に設けた磁気センサ3で読み出すことによってデータ記憶部4に記憶されたデータが読み出される。

#### 【0029】

磁気センサ3には、例えば、強磁性トンネル接合磁気抵抗効果素子（以下、TMR素子とも云う）が用いられる。このTMR素子3は、磁化が固着された磁化固着層3aと、トンネルバリア層3bと、磁化自由層3cとを備えている。磁化自由層3cは、データ記憶部4の磁化の方向に応じた磁化の向きを有する。そして、磁化固着層3aと磁化自由層3cとの磁化の向きに応じてTMR素子3の抵抗が変化するので、このTMR素子3によってデータ記憶部4の磁化の向き、すなわちデータ記憶部4に記憶されたデータを感知できる。このとき、磁化自由層3cの磁化容易軸方向とデータ記憶部4の磁化容易軸方向とは平行であっても平

行でなくとも構わない。

#### 【0030】

なお、後述するように、各メモリセルには、個別書き込みのための書き込み選択トランジスタが設けられている。

#### 【0031】

このようなメモリセルを有する磁気メモリは、セルビット線2から発生した磁場が有効にデータ記憶部4に掛かるため、スイッチング電流が小さい。また、メモリセルのデータ記憶部4にデータを書き込むための書き込み配線はセルビット線2のみである。このため、ビット線とワード線の両方に書き込み電流を流すことが必要である従来の磁気メモリに比べて、消費電力を低減することができる。またメモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。また、データ記憶部4の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0032】

次に、本発明の各実施形態による磁気メモリに用いられるメモリセルの構成について図2乃至図8を参照して説明する。メモリセルとしては、図2(a)に示すように磁気センサ3がデータ記憶部4の下側に設けられたボトムセンサ型と、図2(b)に示すように磁気センサ3がデータ記憶部4の上側に設けられたトップセンサ型の2種類がある。ボトムセンサ型およびトップセンサ型のいずれにおいても、データ記憶部4が書き込み配線2の3方向の面を被覆しており、残る1方向の面に例えばTMR素子からなる磁気センサ3が設置されている。

#### 【0033】

本発明の各実施形態においては、データ記憶部4に用いる材料は、Co、Ni、Feのうち少なくとも1つを含む強磁性材料で、透磁率が大きくかつ残留磁化が大きいことが好ましい。より詳しくは、Ni-Fe合金、Co-Fe-Ni合金、以下の化学式で表されるアモルファス磁性材料または、微結晶強磁性材料；Co-Fe-AA，Co-Fe-AA-AA2，Fe-AA-AA2，Co-AA-AA2，Co-Mn-AA-AA2，Fe-Cu-AA-AA2，Co-Fe-Ni-AAから選ばれる少なくとも1種の元素からなる。ここで、AA，AA2はB，Si，Ge，Zr，Nb，P，Mo，Ta，N，C，Cr，Ti，Al，W，V，希土類を表す。

## 【0034】

磁気センサ3としては、ボトムピン型TMR素子を使う場合と、トップピン型TMR素子を用いる場合と、2重のトンネル接合を有する2重接合型TMR素子を使う場合がある。いずれの場合も書き込み配線2と磁気抵抗効果素子3とが電氣的に接続し、書き込み配線2が読み出し時のビット線となる。

## 【0035】

ボトムピン型は、図2(a)に示すように、磁化固着層(ピン層とも云う)3aが底に形成され、この磁化固着層3a上にトンネルバリア層3bが形成され、このトンネルバリア層3b上にセンサ層となる磁化自由層(センサ層とも云う)3cが形成され、この磁化自由層3c上にコンタクト層5が形成され、このコンタクト層5上に書き込み配線となるセルビット線2が形成されている。そして、このセルビット線2のコンタクト層5に接している面を除く3面をデータ記憶部4が被覆している。

## 【0036】

トップピン型は、図2(b)に示すように、セルビット線2の底面および側面を覆うようにデータ記憶部4が形成され、セルビット線2の上面にバッファ層6が形成され、このバッファ層6上にセンサ層となる磁化自由層(センサ層)3cが形成され、この磁化自由層3c上にトンネルバリア層3bが形成され、このトンネルバリア層3b上に磁化固着層(ピン層)3aが形成された構成となっている。

## 【0037】

ボトムセンサ型では、センサ層3cがデータ記憶部4に近くなるボトムピン型TMR素子が好ましい。トップセンサ型ではセンサ層3cがデータ記憶部4に近くなるトップピン型TMR素子3が好ましい。2重接合型TMR素子は、ボトムセンサ型、トップセンサ型のいずれに用いてもセンス感度がやや落ちるが、出力が大きくなる。

## 【0038】

ボトムピン型TMR素子の一具体例を図3に示す。この図3に示すボトム型TMR素子は、Taからなるバッファ層6、NiFeCrからなる膜厚5nmのシ



ード層 3 e、PtMn からなる膜厚 12 nm の反強磁性層 3 d、CoFe からなる膜厚 2 nm の磁化固着層（ピン層）3 a、AlOx からなる膜厚 1.2 nm のトンネルバリア層 3 b、NiFe からなる膜厚 5 nm の磁化自由層（センサ層）3 c、および Ta からなる膜厚 50 nm のコンタクト層 5 が順次形成された構成となっている。

#### 【0039】

トップピン型 TMR 素子の一具体例を図 4 に示す。この図 4 に示すトップピン型 TMR 素子は、Ta からなるバッファ層 6、Cu からなる膜厚 5 nm のシード層 3 e、NiFe からなる膜厚 5 nm の磁化自由層（センサ層）3 c、AlOx からなる膜厚 1.2 nm のトンネルバリア層 3 b、CoFe からなる膜厚 2 nm の磁化固着層（ピン層）3 a、PtMn からなる膜厚 12 nm の反強磁性層 3 d、および Ta からなる膜厚 50 nm のコンタクト層 5 が順次形成された構成となっている。

#### 【0040】

2 重接合型 TMR 素子の一具体例を図 5 に示す。この図 5 に示す 2 重接合型 TMR 素子は、Ta からなるバッファ層 6、Ru からなる膜厚 5 nm のシード層 3 e、IrMn からなる膜厚 10 nm の反強磁性層 3 d<sub>2</sub>、CoFe からなる膜厚 2 nm の磁化固着層（ピン層）3 a<sub>2</sub>、AlOx からなる膜厚 1 nm のトンネルバリア層 3 b<sub>2</sub>、NiFeCo からなる膜厚 2 nm の磁化自由層（センサ層）3 c、AlOx からなる膜厚 1 nm のトンネルバリア層 3 b<sub>1</sub>、CoFe からなる膜厚 2 nm の磁化固着層（ピン層）3 a<sub>1</sub>、IrMn からなる膜厚 10 nm の反強磁性層 3 d<sub>1</sub>、Ta からなる膜厚 30 nm のコンタクト層 5 が順次形成された構成となっている。

#### 【0041】

なお、本発明の各実施形態においては、センサ層 3 c に用いる材料は、Co、Ni、Fe のうち少なくとも 1 つを含む強磁性材料で、透磁率が高いことが好ましい。より詳しくは、Ni-Fe 合金、Co-Fe-Ni 合金、以下の化学式で表されるアモルファス磁性材料または微結晶強磁性材料；

Co-Fe-AA, Co-Fe-AA-AA<sub>2</sub>, Fe-AA-AA<sub>2</sub>, Co-AA-AA<sub>2</sub>, Co-Mn-AA-AA<sub>2</sub>, Fe-Cu-AA-AA<sub>2</sub>

、Co-Fe-Ni-AAから選ばれる少なくとも1種の元素からなる。ここで、AA、AA2はB, Si, Ge, Zr, Nb, P, Mo, Ta, N, C, Cr, Ti, Al, W, V, 希土類を表す。なお、センサ層3cの材料はデータ記憶部4の材料と同一でもよく、また、保持力が同じかもしくは小さいことが好ましい。

#### 【0042】

次に、2重接合型TMR素子を用いたメモリセルの構成を図6に示す。この図6に示すメモリセルは、下部電極配線10上に、バッファ層6、反強磁性層3d<sub>2</sub>、磁化固着層3a<sub>2</sub>、トンネルバリア層3b<sub>2</sub>、センサ層3c、トンネルバリア層3b<sub>1</sub>、磁化固着層3a<sub>1</sub>、反強磁性層3d<sub>1</sub>、コンタクト層6が積層された2重接合型TMR素子が形成されている。そして、この2重接合型TMR素子3のコンタクト層6上に書き込み配線となるセルビット線2が形成され、セルビット線2の、2重接合型TMR素子3のコンタクト層5と接する面を除く3面をデータ記憶部4が被覆するとともに、このデータ記憶部4は2重接合型TMR素子3のセンサ層3cの側部まで延在しており、センサ層3cに近接して配置された構成となっている。なお、この図6においては、図5に示す2重接合型TMR素子のシード層3eは図示されていない。

#### 【0043】

この図6に示すメモリセルにおいては、センサ層3cの側部近傍までデータ記憶部4が延在しているため、センサ層3cを厚くすることが可能となり、センス感度が向上する。また、センサ層3cに強磁性材料からなるデータ記憶部4を近づけて配置する、すなわち、センサ層3cとデータ記憶部4とのギャップ8を小さくすることにより、センサ層3とデータ記憶部4との磁気的な結合が大きくなり、センス感度が向上する。

#### 【0044】

次に、TMR素子3とデータ記憶部4とが接触するように配置されるメモリセルの例を、図7を参照して説明する。図7(a)はトップセンサ型のメモリセルであって、TMR素子としてはトップピン型TMR素子3が用いられている。図7(a)において、TMR素子3のセンサ層3cが書き込み配線となるセルビット線2に接するとともにセルビット線2を被覆するデータ記憶部4にも接するよ

うに形成されている。そして、このセンサ層 3 c 上にトンネルバリア層 3 b を介して磁化固着層（ピン層） 3 a が形成されている。なお、図 7（b）に示すように、センサ層 3 は、強磁性材料が 2 層以上積層された、例えば、強磁性材料からなる層 3 c<sub>1</sub> および層 3 c<sub>2</sub> が積層された積層構造であっても良い。

#### 【0045】

この積層において、センサ層 3 c あるいはセンサ層 3 c<sub>2</sub> がデータ記憶部 4 と同一材料の場合、あたかもデータ記憶部が配線 2 を取り囲んでいるような配置となり、この構造を環流型記憶部と呼ぶ。このように、センサ層 3 c と書き込み配線 2 が直接接する構造においては、書き込み配線 2 から生じた磁場がほとんど外へ漏れないため、小さな電流でのデータ書き込みが可能となる。

#### 【0046】

なお、図 7（a）、（b）に示すメモリセルは、トップセンサ型のメモリセルであったが、図 7 のメモリセルを 180 度回転して上と下を逆にしたボトムセンサ型であっても良い。このボトムセンサ型メモリセルにおいては、TMR 素子としてボトムピン型 TMR 素子が用いられる。

#### 【0047】

次に、磁気センサ 3 とデータ記憶部 4 とが直接に接続されないが磁気結合されるメモリセルの構成を図 8 に示す。図 8 はトップセンサ型のメモリセルであって、TMR 素子としてはトップピン型 TMR 素子 3 が用いられている。図 8 において、書き込み配線となるセルビット線 2 の 4 面をデータ記憶部 4 が被覆し環流型記憶部となっており、このデータ記憶部 4 上に非磁性層 9 を介して TMR 素子 3 のセンサ層 3 c が形成され、このセンサ層 3 c 上にトンネルバリア層 3 b が形成され、このトンネルバリア層 3 b 上に磁化固着層（ピン層） 3 a が形成されている。そしてセンサ層 3 c とデータ記憶部 4 とが非磁性層 9 を介して磁気結合されている。磁気結合は強磁性結合、反強磁性結合のいずれでも良い。また、非磁性層 9 は金属でも絶縁膜でも良い。

#### 【0048】

非磁性層 9 として金属材料を用いる場合は、Ru、Cu、Au、Ag、Ir、Cr、Re、Nb、Pd、Pt 等層間磁気結合を生じる材料が好ましい。非磁性層 9 として絶縁膜を用

いる場合は、0.3 nm～5 nm程度の厚さでトンネルバリアとなっており、界面の凹凸により、ネール結合を生じる。

#### 【0049】

このようなセンサ層3cと書き込み配線2とが磁気結合したメモリセルにおいては、書き込み配線2から生じた磁場がほとんど外へ漏れないため、小さな電流でのデータ書き込みが可能である。

#### 【0050】

なお、図8に示すメモリセルは、トップセンサ型のメモリセルであったが、図8のメモリセルを180度回転して上と下を逆にしたボトムセンサ型であっても良い。このボトムセンサ型メモリセルにおいては、TMR素子としてボトムピン型TMR素子が用いられる。

#### 【0051】

##### (第1実施形態)

次に、第1実施形態による磁気メモリの構成を、図9乃至図11を参照して説明する。この第1実施形態による磁気メモリは複数のメモリセルを有している。各メモリセルの構成を示す断面図を図9(a)に示し、図9(a)に示す切断線A-Aで切断した断面図を図9(b)に示す。また、第1実施形態による磁気メモリのメモリセルアレイの構成を図10に示す。

#### 【0052】

各メモリセル1は、図9(a)、(b)に示すように、書き込み配線となるセルビット線2と、TMR素子からなる磁気センサ3と、データ記憶部4と、読み出し選択トランジスタ17と、書き込み選択トランジスタ19とを備えている。

#### 【0053】

セルビット線2は、共用ビット線BLから枝分かれしてTMR素子3と電氣的に接続される第1配線部2aと、この第1配線部2aに接続され接続プラグ7を介して書き込み選択トランジスタ19のソースおよびドレインの一方に接続される第2配線部2bとを有している。第1配線部2aは、共用ビット線BLとほぼ平行な部分を有している。第2配線部2bは図示しない絶縁膜を介してTMR素子3の側部に沿って設けられる。

## 【0054】

TMR素子3は、セルビット線2の第1配線部2aにコンタクト層5を介して電氣的に接続されるセンサ層3cと、このセンサ層3cに接するトンネルバリア層3bと、このトンネルバリア層3bに接する磁化固着層3aとを備えている。この磁化固着層3aは引き出し電極10、および接続プラグ12を介して読み出し選択トランジスタのソースおよびドレインの一方に接続される。なお、図9においては、TMR素子3は、接続プラグ12の位置と異なる位置に設けられているが、接続プラグ12の真上に設けても良い。

## 【0055】

データ記憶部4は、第1配線部2aのTMR素子3が接する面を除く3面を被覆するように形成されている。

## 【0056】

読み出し選択トランジスタ17は、ソースおよびドレインの他方が接続プラグ18を介して接地電源に接続され、ゲートが読み出し選択ワード線RWLを兼ねている。また、書き込み選択トランジスタ19は、ソースおよびドレインの他方が、書き込み電流を流す際に用いられる共通ソース線20に接続され、ゲートが書き込み選択ワード線WWLを兼ねている。

## 【0057】

次に、本実施形態による磁気メモリの書き込み動作および読み出し動作を、図10を参照して説明する。ロウが $i$  ( $i=1, \dots$ ) 番目で書き込み選択ワード線WWL <sub>$i$</sub> および読み出し選択ワード線RWL <sub>$i$</sub> に接続され、カラムが $j$  ( $j=1, \dots$ ) 番目で共用ビット線BL <sub>$j$</sub> に接続されたメモリセル1が選択された場合を考える。上記選択されたメモリセル1にビットデータを書き込む場合を説明する。ロウが $i$ 番目でカラムが $j$ 番目のメモリセル1を選択するアドレスがロウデコーダ41およびカラムデコーダ45に入力される。すると、ロウデコーダ41によってロウ選択トランジスタ31 <sub>$i$</sub> がONされて書き込み選択ワード線WWL <sub>$i$</sub> が選択されるとともにカラムデコーダ45によって書き込み電流駆動回路46が制御されて共用ビット線BL <sub>$j$</sub> が選択され、共用ビット線BL <sub>$j$</sub> に書き込み電流が流れる。このとき、カラム選択トランジスタ37 <sub>$j$</sub> はONされずOF

F 状態となっている。また、ロウ選択トランジスタ  $32_j$  も OFF 状態となっている。そして、ロウ選択トランジスタ  $31_j$  が ON することにより電位  $V_b$  が書き込み選択トランジスタ 19 のゲートに印加され、書き込み選択トランジスタ 19 が ON する。すると、書き込み電流は共用ビット線  $BL_j$  から、選択されたメモリセル 1 のセルビット線 2 に流れる。このとき、共用ビット線  $BL_j$  に接続されているが選択されない他のメモリセルの書き込み選択トランジスタ 19 は OFF 状態であるので、上記選択されない他のメモリセルのセルビット線 2 には書き込み電流は流れない。選択されたメモリセル 1 のセルビット線 2 に流れる書き込み電流によって誘導された電流磁場によってデータ記憶部 4 の磁化が反転し、データが書き込まれる。

### 【0058】

次に、書き込み電流の流し方について説明する。本実施形態では、共用ビット線  $BL$  からセルビット線 2 に分岐して書き込み電流を流す。この書き込み電流を流すための書き込み電流駆動回路 46 の概略の構成を図 11 に示す。図 11 では 2 組のドライバ 72 a、72 b とシンカー 74 a、74 b が設けられている。各メモリセルの書き込み選択トランジスタ 19 には、2 方向の電流が流れる。共通ソース線 20 の電位を「L」レベル(例えば 0 V)にするか「H」レベル(例えば 1.5 V)にするかによって電流方向が変わる。例えば、カラムが  $j$  ( $=1, \dots$ ) 番目のメモリセル 1 のデータ記憶部 4 にデータ “1” を書き込む場合には、カラム選択信号  $CSL1_j$  の電位を「H」レベルにし、カラム選択信号  $CSL0_j$  の電位を「L」レベルにする。すると、ドライバ 72 a とシンカー 74 b が ON し、ドライバ 72 b とシンカー 74 a が OFF 状態となるため、書き込み電流は電流源  $Vwb1$  からドライバ 72 a、共用ビット線  $BL$ 、セルビット線 2、書き込み選択トランジスタ 19、共通ソース線 20、およびシンカー 74 b を流れる。カラムが  $j$  ( $=1, \dots$ ) 番目のメモリセル 1 にデータ “0” を書き込む場合には、カラム選択信号  $CSL0_j$  の電位を「H」レベルにし、カラム選択信号  $CSL1_j$  の電位を「L」レベルにする。すると、ドライバ 72 b とシンカー 74 a が ON し、ドライバ 72 a とシンカー 74 b が OFF 状態となるため、書き込み電流は電流源  $Vwb0$  からドライバ 72 b、共通ソース線 20、書き込

み選択トランジスタ 19、セルビット線 2、共用ビット線 BL、およびシンカー 74a を流れる。したがって、データ “1” とデータ “0” を書き込む場合とでは、セルビット線 2 に流れる電流の向きが反対となる。

#### 【0059】

なお、書き込み電流を流すためには、一般に、ドライバーシンカー対が 2 対必要となるが、本実施形態においては、図 10 に示すように、共通ソース線 20 は共用ビット線 BL が接続されている書き込み電流駆動回路 46 に接続されているので、ドライバーシンカー対を兼用することができる。

#### 【0060】

書き込み電流がそれほど小さくなく、共用ビット線 BL の両端の電圧差がそれほど小さくなければ、各メモリセル 1 の書き込み選択トランジスタ 19 は N チャネル MOSFET が一つで済む。電流が大きい場合は、各メモリセルに P チャネル MOSFET と N チャネル MOSFET を設ける場合もあるが、高密度メモリを実現するには各セルに書き込み選択トランジスタ 19 は一つが望ましい。

#### 【0061】

次に、再び図 2 に戻り、選択されたメモリセルからビットデータを読み出す場合を説明する。ロウが  $i$  番目でカラムが  $j$  番目のメモリセル 1 を選択するアドレスがロウデコーダ 41 およびカラムデコーダ 45 に入力される。すると、ロウデコーダ 41 によってロウ選択トランジスタ  $32_i$  が ON されて読み出し選択ワード線  $RWL_i$  が選択されるとともにカラムデコーダ 45 によって書き込み電流駆動回路 46 が制御されて共用ビット線  $BL_j$  電流が流れる。このとき、カラムデコーダ 45 によってカラム選択トランジスタ  $37_j$  が ON される。なお、ロウ選択トランジスタ  $31_i$  は OFF 状態となっている。このとき、ロウ選択トランジスタ  $32_i$  が ON 状態となっているので、選択されたメモリセル 1 の読み出し選択トランジスタ 17 も ON 状態となり、上記電流は共用ビット線  $BL_j$  からセルビット線 2、TMR 素子 3、および読み出し選択トランジスタ 17 を流れる。これにより、共用ビット線  $BL_j$  の電位は TMR 素子 3 の抵抗に応じた値となる。この電位がカラム選択トランジスタ  $37_j$  を介してセンスアンプ 62 に送られ、基準電位  $V_{REF}$  と比較されることにより、データ記憶部 4 に記憶されたデータ

が読み出される。

#### 【0062】

以上説明したように、本実施形態によれば、セルビット線 2 から発生した磁場が有効にデータ記憶部 4 に掛かるため、スイッチング電流が小さい。また、メモリセルのデータ記憶部 4 にデータを書き込むための書き込み配線はセルビット線 2 のみである。このため、ビット線とワード線の両方に書き込み電流を流すことが必要である従来の磁気メモリに比べて、書き込み電流を少なくすることが可能となり、消費電力を低減することができる。またメモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。そしてデータ記憶部 4 の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0063】

##### (第 2 実施形態)

次に、本発明の第 2 実施形態による磁気メモリを、図 12 を参照して説明する。図 12 は、第 2 実施形態による磁気メモリのメモリセル 1 の構成を示す断面図である。この第 2 実施形態による磁気メモリは、図 9 に示す第 1 実施形態による磁気メモリの各メモリセル 1 に、引き出し電極 10 の下部に絶縁膜（図示せず）を介してセンスアシスト線 21 を設けた構成となっている。そして、データ書き込み時にセンスアシスト線 21 に電流を流し、TMR 素子 3 の磁化困難軸方向に磁場を発生させる。この磁場により、TMR 素子 3 のセンサ層の磁化容易軸方向のスイッチング磁場が小さくなり第 1 実施形態の場合よりもセンス感度を向上させることができる。

#### 【0064】

この第 2 実施形態も第 1 実施形態と同様に、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部 4 の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0065】

##### (第 3 実施形態)



次に、本発明の第3実施形態による磁気メモリを、図13を参照して説明する。図13は、第3実施形態による磁気メモリのメモリセル1の構成を示す断面図である。この第3実施形態による磁気メモリは、図9に示す第1実施形態による磁気メモリの各メモリセル1に、データ記憶部4の上部に絶縁膜（図示せず）を介してライトアシスト線22を設けた構成となっている。このライトアシスト線22は、セルビット線2の第1配線部2aとほぼ直交するように設置されている。

#### 【0066】

このように構成された第3実施形態において、データ書き込み時にライトアシスト線22に電流を流し、データ記憶部4の磁化の向きに直交する方向に磁場を発生させる。この磁場により、データ記憶部4の磁化反転をアシストすることにより、セルビット線2に流す書き込み電流を低減することができる。

#### 【0067】

この第3実施形態も第1実施形態と同様に、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部4の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0068】

##### （第4実施形態）

次に、本発明の第4実施形態による磁気メモリを、図14を参照して説明する。図14は、第4実施形態による磁気メモリのメモリセル1の構成を示す断面図である。この第4実施形態による磁気メモリは、図9に示す第1実施形態による磁気メモリの各メモリセル1において、読み出し選択トランジスタ17を削除し、代わりに読み出しワード線RWLを設けた構成となっている。すなわち、本実施形態による磁気メモリは、読み出しに選択トランジスタを用いない単純マトリックスクロスポイント型である。

#### 【0069】

このように構成された本実施形態による磁気メモリにおいて、選択されるメモリセルに書き込みを行う場合は、この選択されるメモリセル1に接続する共用ビ

ット線BLと、当該メモリセルを選択する書き込みワード線WWLをONにする。すると、セルビット線2に書き込み電流が流れ、第1配線2aの外周方向に発生した磁場によりデータ記憶部4の磁化が反転する。読み出しは、選択されるメモリセルに接続する共用ビット線BLと、当該メモリセルを選択する読み出しワード線RWLをONにし、選択されるメモリセル1のTMR素子3に流れる電流により、すなわち共用ビット線BLの電位によりデータ記憶部4に記憶されたデータを読み出す。

#### 【0070】

この第4実施形態も第1実施形態と同様に、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部4の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0071】

##### (第5実施形態)

次に、本発明の第5実施形態による磁気メモリを、図15(a)、(b)、(c)を参照して説明する。図15(a)は、第5実施形態による磁気メモリのメモリセル1の構成を示す断面図である。この第5実施形態による磁気メモリは、図14に示す第4実施形態による磁気メモリの各メモリセル1のセルビット線2に、第2配線部2bと接続プラグ7との間に第3配線部2cを設けるとともに、この第3配線部2cを被覆する第2データ記憶部4aを設けた構成となっている。そして、第3配線部2cは、読み出しワード線RWLの下側に絶縁膜を介して配置された構成となっている。すなわち、2つのデータ記憶部4、4aが同一セルビット線2上でかつ上下に並ぶように設けられており、その間にTMR素子3が設置されている。また、第3配線部2cも共用ビット線BLとほぼ平行な部分を有している。

#### 【0072】

このように構成された本実施形態においては、図15(b)、(c)に示すように、上下2つのデータ記憶部4、4aから発生する磁場の向きはTMR素子3の近傍では同じになるため、センス感度が向上する。なお、図15(b)、(c)

）は、図15（a）に示す切断線A-Aで切断した断面図であって、図15（b）は、データ記憶部4、4aにデータ“0”を書き込む場合を示し、図15（c）は、データ記憶部4、4aにデータ“1”を書き込む場合を示す。

#### 【0073】

この第5実施形態も第4実施形態と同様に、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部4、4aの体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0074】

なお、この第5実施形態においては、磁気抵抗効果素子3は、第1配線部2aに電氣的に接続されるように設けられたが、第1配線部2aに電氣的に接続されず、第3配線部2cに電氣的に接続されるように設けても良い。

#### 【0075】

##### （第6実施形態）

次に、本発明の第6実施形態による磁気メモリを、図16（a）、（b）、（c）を参照して説明する。図16（a）は、第6実施形態による磁気メモリのメモリセル1の構成を示す断面図である。この第6実施形態による磁気メモリは、複数のメモリセル1を有し、各メモリセル1は、書き込み配線となるセルビット線2、51と、TMR素子からなる磁気センサ3Aと、データ記憶部4、4aと、書き込み選択トランジスタ19、54とを備えている。

#### 【0076】

セルビット線2は、共用ビット線BLから枝分かれしてTMR素子3Aと電氣的に接続される第1配線部2aと、この第1配線部2aに接続され接続プラグ7を介して書き込み選択トランジスタ19のソースおよびドレインの一方に接続される第2配線部2bとを有している。第1配線部2aは、共用ビット線BLとはほぼ平行な部分を有している。第2配線部2bは図示しない絶縁膜を介してTMR素子3の側部に沿って設けられる。

#### 【0077】

TMR素子3Aは、セルビット線2の第1配線部2aにコンタクト層5を介し

て電氣的に接続されるセンサ層 3 c と、このセンサ層 3 c に接するトンネルバリア層 3 b と、このトンネルバリア層 3 b に接する磁化固着層（基準層） 3 a とを備えている。そしてセンサ層 3 c と磁化固着層 3 a の磁化容易軸が直交するように形成されている。これにより、TMR 素子 3 A に印加される外部磁場 H と TMR 素子 3 A の抵抗値 R が図 16（c）に示すように、線形の関係となる。なお、磁化固着層 3 a は読み出しワード線 RWL に接続される。

#### 【0078】

セルビット線 5 1 は、共用ビット線 BL 1 から枝分かれして読み出しワード線の下部に図示しない絶縁膜を介して形成され、接続プラグ 5 2 を介して書き込み選択トランジスタ 5 4 のソースおよびドレインの一方に接続される配線部 5 1 a を有している。配線部 5 1 a は、共用ビット線 BL 1 とほぼ平行な部分を有している。

#### 【0079】

データ記憶部 4 は、図 16（b）に示すように、第 1 配線部 2 a の TMR 素子 3 が接する面を除く 3 面を被覆するように形成されている。また、データ記憶部 4 a は、配線部 5 1 a の、読み出しワード線 RWL に対向する面を除く 3 面を被覆するように形成されている。

#### 【0080】

書き込み選択トランジスタ 1 9 は、ソースおよびドレインの他方が、書き込み電流を流す際に用いられる共通ソース線 2 0 に接続され、ゲートが書き込み選択ワード線 WWL を兼ねている。また、書き込み選択トランジスタ 5 4 は、ソースおよびドレインの他方が、書き込み電流を流す際に用いられる共通ソース線 5 5 に接続され、ゲートが書き込み選択ワード線 WWL 1 を兼ねている。

#### 【0081】

このように構成された本実施形態による磁気メモリにおいては、TMR 素子 3 A の上下にデータ記憶部 4、4 a が設けられ、それぞれ独立にデータ書き込みができるようになっている。TMR 素子 3 A のセンサ層 3 c の、2 つのデータ記憶部 4、4 a からの距離が異なるため、センサ層 3 c 近傍での磁場の強さが、2 つのデータ記憶部 4、4 a の磁化の向きの組み合わせにより 4 通りある。このため

、TMR素子3Aの出力が4値となる(図16(c)参照)。

#### 【0082】

この第6実施形態による磁気メモリにおいては、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部4、4aの体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0083】

(第7実施形態)

次に、本発明の第7実施形態による磁気メモリを、図17(a)、(b)を参照して説明する。図17(a)は、第7実施形態による磁気メモリのメモリセル1の構成を示す断面図である。図17(b)は図17(a)に示す切断線A-Aで切断したときの断面図である。この第7実施形態による磁気メモリは、複数のメモリセル1を有し、各メモリセル1は、書き込み配線となるセルビット線2と、TMR素子からなる磁気センサ3<sub>1</sub>、3<sub>2</sub>と、データ記憶部4と、書き込み選択トランジスタ19とを備えている。

#### 【0084】

セルビット線2は、共用ビット線BLから枝分かれした第1配線部2aと、この第1配線部2aに接続され接続プラグ7を介して書き込み選択トランジスタ19のソースおよびドレインの一方に接続される第2配線部2bとを有している。第1配線部2aは、共用ビット線BLとはほぼ平行な部分を有している。第2配線部2bは図示しない絶縁膜を介してTMR素子3の側部に沿って設けられる。

#### 【0085】

データ記憶部4は、図17(b)に示すように、第1配線部2aの周囲を完全に被覆するように形成されており、このデータ記憶部4は環流型の磁気回路を構成する環流型記憶部である。

#### 【0086】

TMR素子3<sub>1</sub>は、第1配線部2a上のデータ記憶部4に図示しないコンタクト層を介して電氣的に接続され、データ記憶部4とコンタクト層を介して強磁性結合したセンサ層3c<sub>1</sub>と、このセンサ層3c<sub>1</sub>に接するトンネルバリア層3b

1と、このトンネルバリア層3b1に接する磁化固着層3a1と、この磁化固着層3a1に接する反強磁性層3d1を備えている。なお、反強磁性層3d1は読み出しワード線RWL1に接続される。

#### 【0087】

TMR素子32は、第1配線部2a下のデータ記憶部4に図示しないコンタクト層を介して電氣的に接続され、データ記憶部4とコンタクト層を介して強磁性結合したセンサ層3c2と、このセンサ層3c2に接するトンネルバリア層3b2と、このトンネルバリア層3b2に接する磁化固着層3a2と、この磁化固着層3a2に接する反強磁性層3d2を備えている。なお、反強磁性層3d2は読み出しワード線RWL2に接続される。

#### 【0088】

書き込み選択トランジスタ19は、ソースおよびドレインの他方が、書き込み電流を流す際に用いられる共通ソース線20に接続され、ゲートが書き込み選択ワード線WWLを兼ねている。

#### 【0089】

このように構成された本実施形態による磁気メモリにおいて、データ記憶部4の上下にTMR素子31、32が設置され、それぞれのTMR素子31、32が感じる磁場の向きは、常に互いに反対となる。それぞれのTMR素子31、32からの出力を差動アンプ65によって読み出すことにより出力が2倍になる。

#### 【0090】

この第7実施形態による磁気メモリにおいては、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部4の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0091】

(第8実施形態)

次に、本発明の第8実施形態による磁気メモリを、図18(a)、(b)を参照して説明する。図18(a)は、第7実施形態による磁気メモリのメモリセル1の構成を示す断面図である。図18(b)は図18(a)に示す切断線A-A

で切断したときの断面図である。この第8実施形態による磁気メモリは、複数のメモリセル1を有し、各メモリセル1は、書き込み配線となるセルビット線2と、TMR素子からなる磁気センサ3<sub>1</sub>、3<sub>2</sub>と、データ記憶部4<sub>1</sub>、4<sub>2</sub>と、書き込み選択トランジスタ19とを備えている。

#### 【0092】

セルビット線2は、共用ビット線BLから枝分かれしてTMR素子3<sub>1</sub>と電氣的に接続される第1配線部2aと、この第1配線部2aに接続され図示しない絶縁膜を介してTMR素子3<sub>1</sub>の側部に沿って形成された第2配線部2bと、この第2配線部2bに一端が接続され他端が接続プラグ7を介して書き込み選択トランジスタ19のソースおよびドレインの一方に接続される第3配線部2cとを有している。第1配線部2aは、共用ビット線BLとほぼ平行な部分を有している。また、第3配線部2cも共用ビット線BLとほぼ平行な部分を有している。

#### 【0093】

TMR素子3<sub>1</sub>は、第1配線部2a下に設けられ、この第1配線部2aにコンタクト層5<sub>1</sub>を介して電氣的に接続されるセンサ層3c<sub>1</sub>と、このセンサ層3c<sub>1</sub>に接するトンネルバリア層3b<sub>1</sub>と、このトンネルバリア層3b<sub>1</sub>に接する磁化固着層3a<sub>1</sub>と、この磁化固着層3a<sub>1</sub>に接する反強磁性層3d<sub>1</sub>を備えている。なお、反強磁性層3d<sub>1</sub>は読み出しワード線RWL1に接続される。

#### 【0094】

TMR素子3<sub>2</sub>は、第3配線部2c下に設けられ、この第3配線部2cにコンタクト層5<sub>2</sub>を介して電氣的に接続されるセンサ層3c<sub>2</sub>と、このセンサ層3c<sub>2</sub>に接するトンネルバリア層3b<sub>2</sub>と、このトンネルバリア層3b<sub>2</sub>に接する磁化固着層3a<sub>2</sub>と、この磁化固着層3a<sub>2</sub>に接する反強磁性層3d<sub>2</sub>を備えている。なお、反強磁性層3d<sub>2</sub>は読み出しワード線RWL2に接続される。

#### 【0095】

データ記憶部4<sub>1</sub>は、図18(b)に示すように、TMR素子3<sub>1</sub>のコンタクト層5<sub>1</sub>と接する面を除く3面を被覆するとともに、センサ層3c<sub>1</sub>まで延在するように形成されている。データ記憶部4<sub>2</sub>は、図18(b)に示すように、TMR素子3<sub>2</sub>のコンタクト層5<sub>2</sub>と接する面を除く3面を被覆するとともに、セ

ンサ層 3c2 まで延在するように形成されている。

#### 【0096】

書き込み選択トランジスタ 19 は、ソースおよびドレインの他方が、書き込み電流を流す際に用いられる共通ソース線 20 に接続され、ゲートが書き込み選択ワード線 WWL を兼ねている。

#### 【0097】

このように構成された本実施形態による磁気メモリにおいて、データ記憶部 4<sub>1</sub>、4<sub>2</sub> が同一セルビット線 2 上に 2 つ設けられており、それぞれの磁化の向きは互いに反対向きとなるように配置されている。2 つのデータ記憶部 4<sub>1</sub>、4<sub>2</sub> は、同一層にあっても上下にあってもかまわないが、上下に並ぶ方が高密度化できる。それぞれのデータ記憶部 4<sub>1</sub>、4<sub>2</sub> に対応した磁気センサ 3<sub>1</sub>、3<sub>2</sub> が存在し、それぞれからの出力を差動アンプ 65 で読み出すことにより出力が 2 倍になる。

#### 【0098】

この第 8 実施形態による磁気メモリにおいては、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部 4 の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0099】

(第 9 実施形態)

次に、本発明の第 9 実施形態による磁気メモリを、図 19 (a)、(b) を参照して説明する。図 19 (a) は、第 9 実施形態による磁気メモリのメモリセル 1 の構成を示す断面図である。図 19 (b) は図 19 (a) に示す切断線 A-A で切断したときの断面図である。この第 9 実施形態による磁気メモリは、複数のメモリセル 1 を有し、各メモリセル 1 は、書き込み配線となるセルビット線 2 と、TMR 素子からなる磁気センサ 3<sub>1</sub>、3<sub>2</sub> と、データ記憶部 4 と、書き込み選択トランジスタ 19 とを備えている。

#### 【0100】

セルビット線 2 は、共用ビット線 BL から枝分かれした第 1 配線部 2a と、こ



の第1配線部2aに接続され接続プラグ7を介して書き込み選択トランジスタ19のソースおよびドレインの一方に接続される第2配線部2bとを有している。第1配線部2aは、共用ビット線BLとほぼ平行な部分を有している。第2配線部2bは図示しない絶縁膜を介してTMR素子3の側部に沿って設けられる。

#### 【0101】

データ記憶部4は、図19(b)に示すように、第1配線部2aの周囲を完全に被覆するように形成されており、このデータ記憶部4は環流型の磁気回路を構成する環流型記憶部である。

#### 【0102】

TMR素子3<sub>1</sub>は、第1配線部2a上のデータ記憶部4に接するセンサ層3c1と、このセンサ層3c1に接するトンネルバリア層3b1と、このトンネルバリア層3b1に接する磁化固着層3a1と、この磁化固着層3a1に接する反強磁性層3d1を備えている。なお、反強磁性層3d1は読み出しビット線RBLに接続される。磁化固着層3a1は、非磁性層を挟んで2つの強磁性層が積層されたシンセティック構造となっている。

#### 【0103】

TMR素子3<sub>2</sub>は、第1配線部2a下のデータ記憶部4に接するセンサ層3c2と、このセンサ層3c2に接するトンネルバリア層3b2と、このトンネルバリア層3b2に接する磁化固着層3a2と、この磁化固着層3a2に接する反強磁性層3d2を備えている。なお、反強磁性層3d2は読み出しワード線RWLに接続される。磁化固着層3a2は単層の強磁性層から構成される。したがって、TMR素子3<sub>1</sub>とTMR素子3<sub>2</sub>は環流型磁化自由層となるデータ記憶部4を介して接続された2重接合のTMR素子を構成する。

#### 【0104】

書き込み選択トランジスタ19は、ソースおよびドレインの他方が、書き込み電流を流す際に用いられる共通ソース線20に接続され、ゲートが書き込み選択ワード線WWLを兼ねている。

#### 【0105】

このように構成された本実施形態による磁気メモリにおいて、選択されたメモ

リセルのデータ記憶部4へのデータの書き込みは、書き込み選択ワード線WWLをONし、セルビット線2に書き込み電流を流すことにより、データ記憶部4にデータを書き込む。データ記憶部4からデータの読み出しは、読み出しビット線RBLと読み出しワード線RWLとの間の、環流磁化自由層を有する2重接合のTMR素子に電流を流し、この2重接合を有するTMR素子の抵抗に応じた電位差を検出することにより行う。

#### 【0106】

なお、本実施形態においては、TMR素子3<sub>1</sub>の磁化固着層3a<sub>1</sub>は、非磁性層を挟んで2つの強磁性層が積層されたシンセティック構造で、TMR素子3<sub>2</sub>の磁化固着層3a<sub>2</sub>は単層の強磁性層であったが、TMR素子3<sub>2</sub>の磁化固着層3a<sub>2</sub>をシンセティック構造でTMR素子3<sub>1</sub>の磁化固着層3a<sub>1</sub>を単層の強磁性層としても良い。

#### 【0107】

この第9実施形態による磁気メモリにおいては、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部4の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0108】

##### (第10実施形態)

次に、本発明の第10実施形態による磁気メモリを、図20(a)、(b)を参照して説明する。図20(a)は、第10実施形態による磁気メモリのメモリセル1の構成を示す断面図である。図20(b)は図20(a)に示す切断線A-Aで切断したときの断面図である。この第10実施形態による磁気メモリは、図19に示す第9実施形態の磁気メモリにおいて、TMR素子3<sub>2</sub>の反強磁性層3d<sub>2</sub>がバッファ層6を介して読み出しワード線RWLに接続され、この読み出しワード線RWLは読み出しビット線RBLとほぼ直交するように配置された構成となっている。

#### 【0109】

このように構成された本実施形態による磁気メモリのメモリセルへのデータの

書き込みおよびメモリセルからのデータの読み出しは第9実施形態の場合と同様にして行う。

#### 【0110】

この第10実施形態による磁気メモリにおいては、メモリセル毎に個別書き込みが可能となるのでスイッチング特性のばらつきの影響が小さくなる。またデータ記憶部4の体積を大きく形状異方性も大きくすることが可能となるためデータ保持状態が安定する。

#### 【0111】

なお、第1乃至第10実施形態においては、磁気抵抗効果素子としてTMR素子を用いた場合を説明したが、本発明はこれに限定されるものではなく、巨大磁気抵抗効果を有する巨大磁気抵抗効果素子等の磁気センサを用いても良い。

#### 【0112】

##### (第11実施形態)

次に、本発明の第11実施形態による磁気メモリの製造方法を説明する。この第11実施形態による製造方法は、図15に示す第5実施形態による磁気メモリを製造するものであり、以下、図15を参照して説明する。

#### 【0113】

まず、p型シリコン基板を用意する。次に、書き込み選択トランジスタ19としてNチャンネルMOSFETを通常のCMOSプロセスで形成する。このとき、ゲート電極はそのまま書き込み選択ワード線WWLとして働くよう形成する。ドレインとソース上に電極7を形成し、共通ソース線20を配線する。

#### 【0114】

次に、絶縁層（図示せず）を形成する。その後、第3配線部2cを形成する。第3配線部6cに用いる材料は、Al、Al-Cu、Cu、Ag等が考えられるが、ここではダマシン法で形成したCuが用いられている。第3配線部2cには強磁性体であるNiFeからなるデータ記憶部4aが被覆された配線となっている。なお、データ記憶部4aにはバリアメタルとしてNiFeの外側にTiN、NiFeとCuの間にはCoFeが挿入されている。

#### 【0115】

次に、図示しない絶縁膜を形成し、その上に読み出しワード線RWLを形成し、更に図示しない絶縁膜を被覆し、この絶縁膜を、読み出しワード線RWLが露出するように平坦化する。次に、TMR積層膜3を堆積する。このTMR積層膜3は、ワード線RWL上に、膜厚20nmのTaからなる下部配線接続層、膜厚5nmのRuからなるバッファ層、膜厚6nmのIrMnからなる反強磁性層、膜厚2nmのCo<sub>90</sub>Fe<sub>10</sub>からなる磁化固着層、膜厚1nmのAl<sub>2</sub>O<sub>3</sub>からなるトンネルバリア層、膜厚3nmのNi<sub>79</sub>Fe<sub>21</sub>からなる磁化自由層、膜厚2nmのTaからなる表面保護層、膜厚20nmのRuからなる表面保護層、Taからなる上部接続層を順次積層することによって得られる。

#### 【0116】

次に、上部接続層のTaをハードマスクとして用いて、TMR積層膜3を所定の形状にエッチング、例えば $0.24 \times 0.48 \mu\text{m}^2$ の長方形にし、TMR素子3を形成する。その後、層間絶縁膜（図示せず）を堆積する。TMR素子3の横に、垂直方向のセルビット線2bを形成するための直方体のビアホールを上記層間絶縁膜に形成する。続いてこのビアホールをWで埋め込み、セルビット線2bを形成する。

#### 【0117】

次に、TMR素子3の上部接続層とコンタクトが取れるよう上記層間絶縁膜をエッチングする。共用ビット線BLおよびセルビット線2aを形成するためにAlからなる金属膜を、TMR素子3の上部接続層と接続するように、また垂直方向のセルビット線2bと接続するように堆積する。続いて、共用ビット線BLおよびセルビット線を形成するようにAlからなる金属膜をエッチングする。平面配置で見ると、各TMR素子3の間に共用ビット線BLを配置し、そこから分岐したセルビット線2が各TMR素子3の直上を通るよう配置する。

#### 【0118】

次に、セルビット線2aの最上層と側面を強磁性体であるNiFe膜で被覆し、データ記憶部4が形成された配線とする。なお、NiFeからなるデータ記憶部4とセルビット線2aとの間にはバリアメタルとしてCoFe膜が挿入されている。また、バリアメタルとしては、CoFeの代わりにTa、TiN、Ta<sub>2</sub>N

、W、WNなども使い得る。なお、データ記憶部4の上にTiNからなるバリアメタルを形成しても良い。

#### 【0119】

データ記憶部4を形成した後、図示しない保護層を堆積する。続いて、磁場中でアニールし、TMR素子3と、データ記憶部4、4aに一括して同じ方向に一軸磁気異方性を付与する。アニール条件は、例えば、300℃で1時間、10kOeの磁場中で行う。最後に全てのセルビット線にデータ“0”または“1”を書き込むための書き込み電流を流し、磁化状態を初期化する。

#### 【0120】

##### 【発明の効果】

以上、述べたように、本発明によれば、メモリセルの記憶状態が安定で消費電力が少ないものとすることができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の各実施形態による磁気メモリに用いられるメモリセルの基本的な構成および動作を示す断面図。

#### 【図2】

本発明の各実施形態による磁気メモリに用いられるメモリセルの構成を示す断面図。

#### 【図3】

ボトムピン型のTMR素子の構成を示す断面図。

#### 【図4】

トップピン型のTMR素子の構成を示す断面図。

#### 【図5】

2重接合型TMR素子の構成を示す断面図。

#### 【図6】

2重接合型TMR素子を用いた本発明の一実施形態による磁気メモリのメモリセルの構成を示す断面図。

#### 【図7】

磁気センサとデータ記憶部とが接触するように配置された、本発明の一実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 8】

磁気センサとデータ記憶部とが磁気結合される、本発明の一実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 9】

本発明の第 1 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 10】

第 1 実施形態による磁気メモリのメモリセルアレイの構成を示す配線図。

【図 11】

書き込み電流駆動回路の一具体例の構成を説明する図。

【図 12】

本発明の第 2 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 13】

本発明の第 3 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 14】

本発明の第 4 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 15】

本発明の第 5 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 16】

本発明の第 6 実施形態による磁気メモリのメモリセルの構成を示す図。

【図 17】

本発明の第 7 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 18】

本発明の第 8 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 19】

本発明の第 9 実施形態による磁気メモリのメモリセルの構成を示す断面図。

【図 20】

本発明の第 10 実施形態による磁気メモリのメモリセルの構成を示す断面図。

## 【図 2 1】

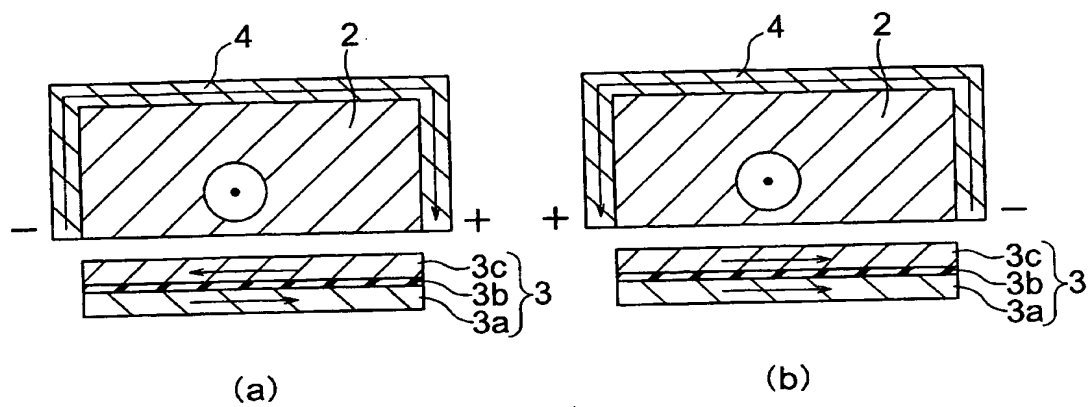
従来のメモリセルの構成を示す断面図。

## 【符号の説明】

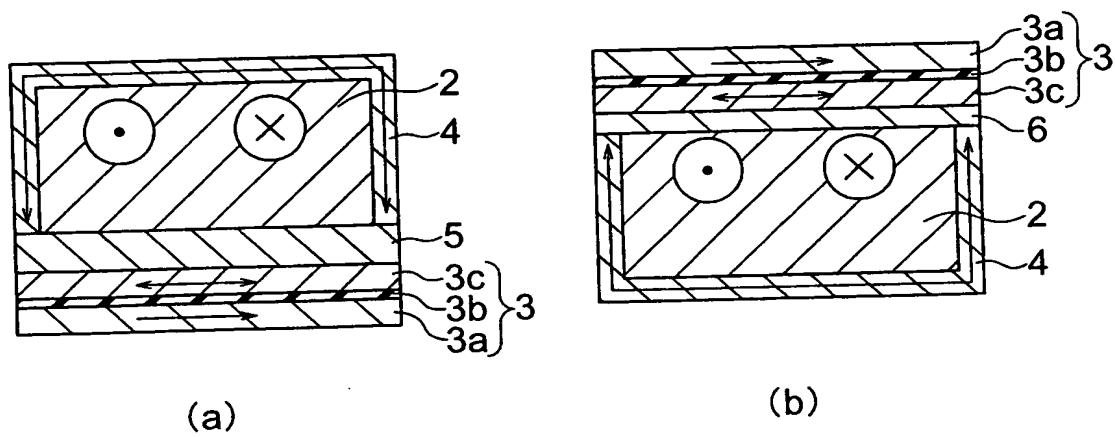
- 1   メモリセル
- 2   セルビット線（書き込み配線）
  - 2 a   第 1 配線部
  - 2 b   第 2 配線部
  - 2 c   第 3 配線部
- 3   磁気センサ（TMR 素子）
  - 3 a   磁化固着層
  - 3 b   トンネルバリア層
  - 3 c   磁化自由層（センサ層）
  - 3 d   反強磁性層
- 4   データ記憶部
- 5   コンタクト層
- 6   バッファ層
- 7   接続プラグ
- 8   ギャップ
- 1 0   引き出し電極
- 1 2   接続プラグ
- 1 7   読み出し選択トランジスタ
- 1 8   接続プラグ
- 1 9   書き込み選択トランジスタ
- 2 0   共通ソース線

【書類名】 図面

【図 1】

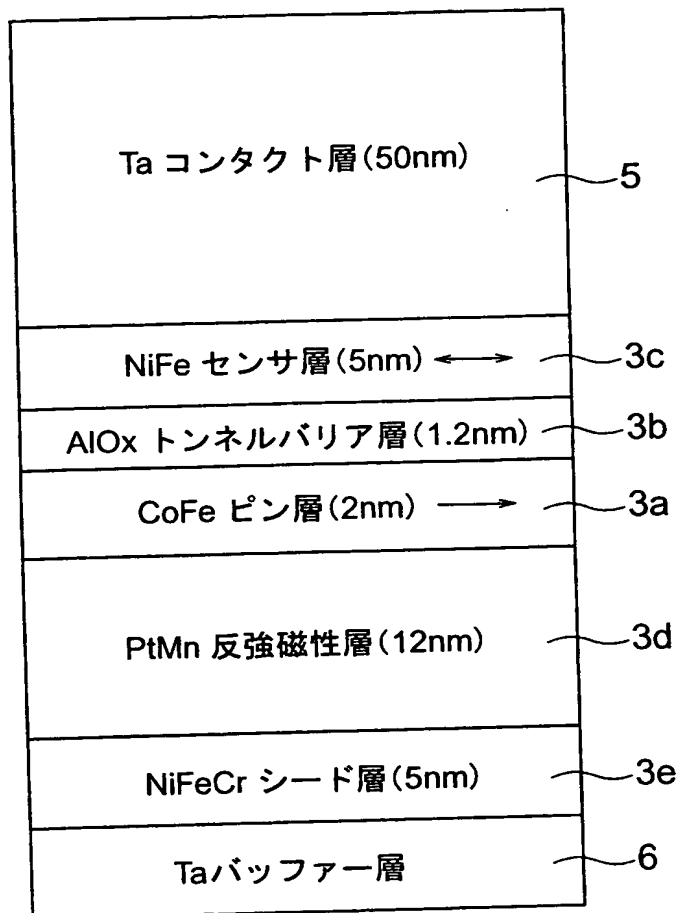


【図 2】

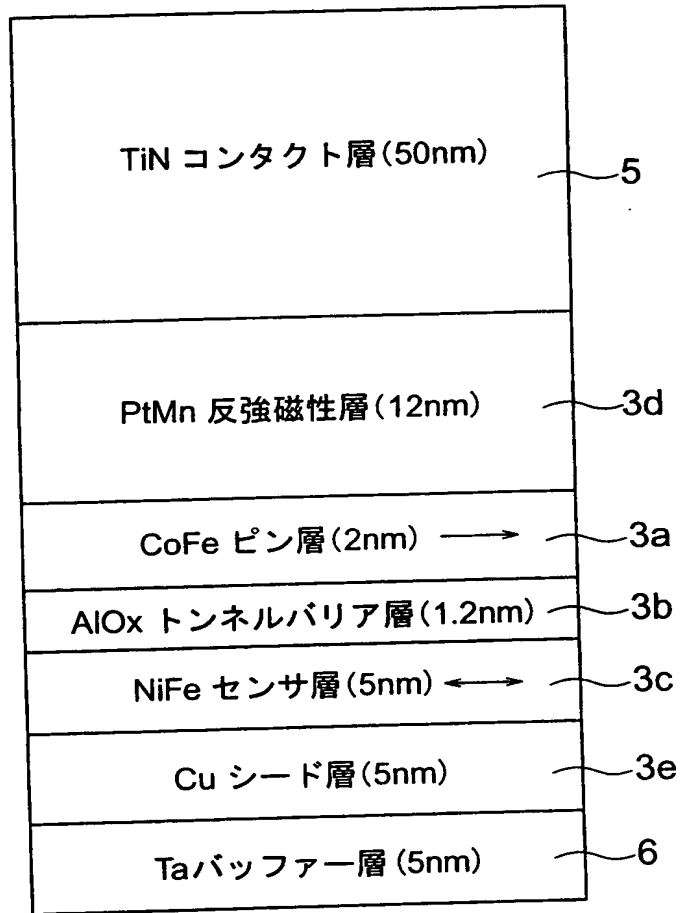




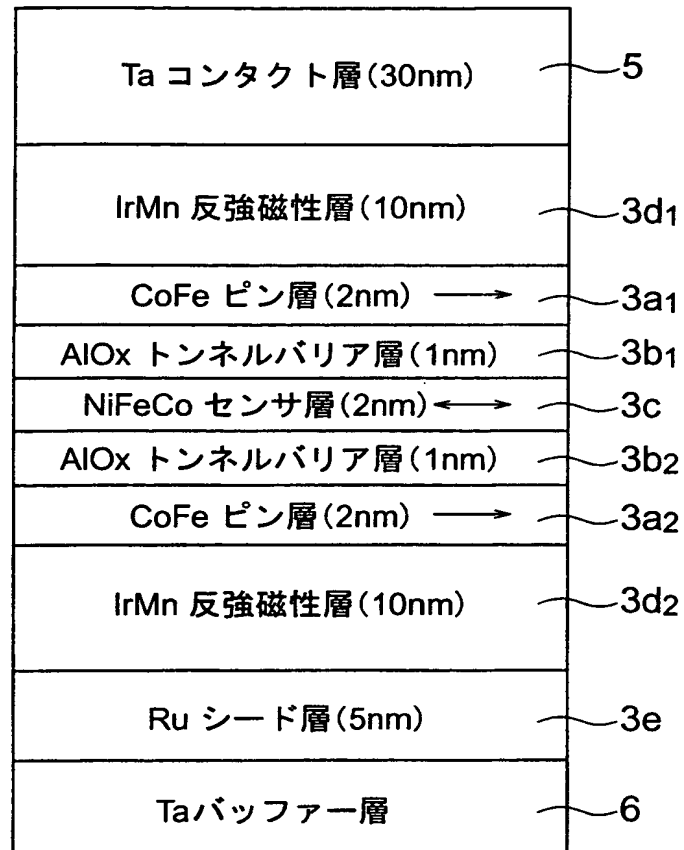
【図 3】



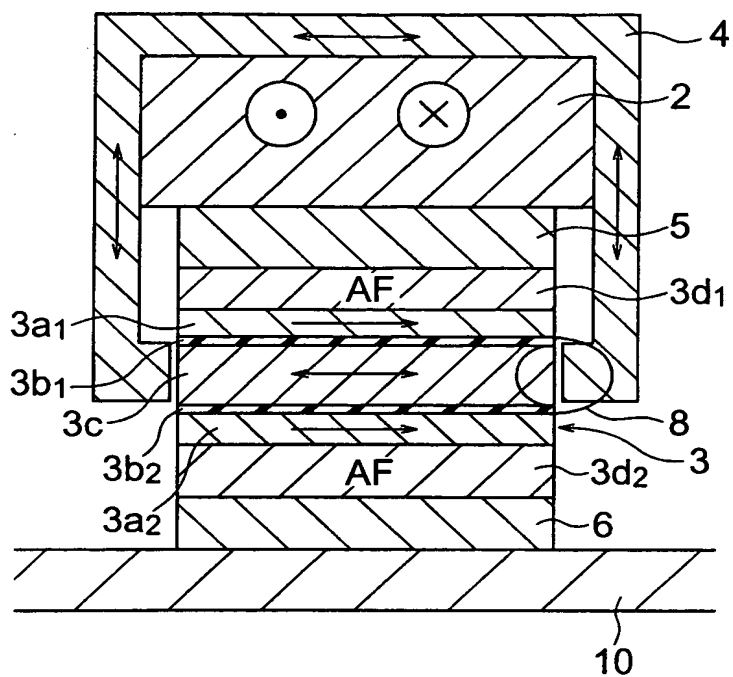
【図 4】



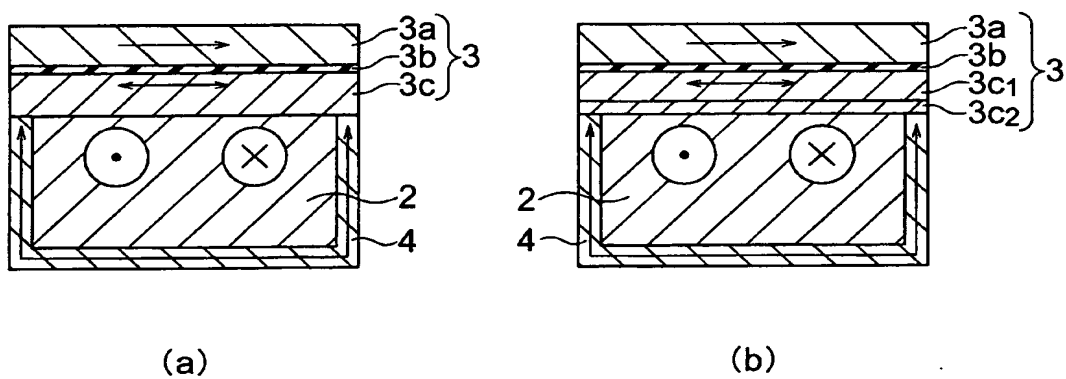
【図 5】



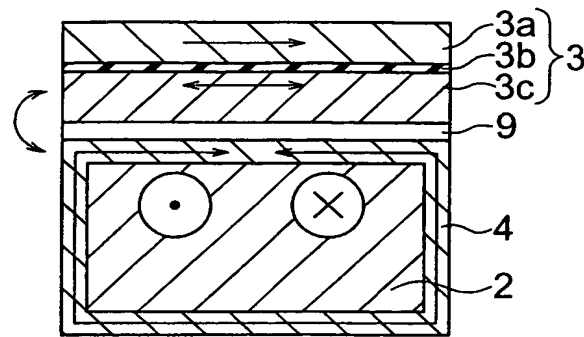
【図 6】



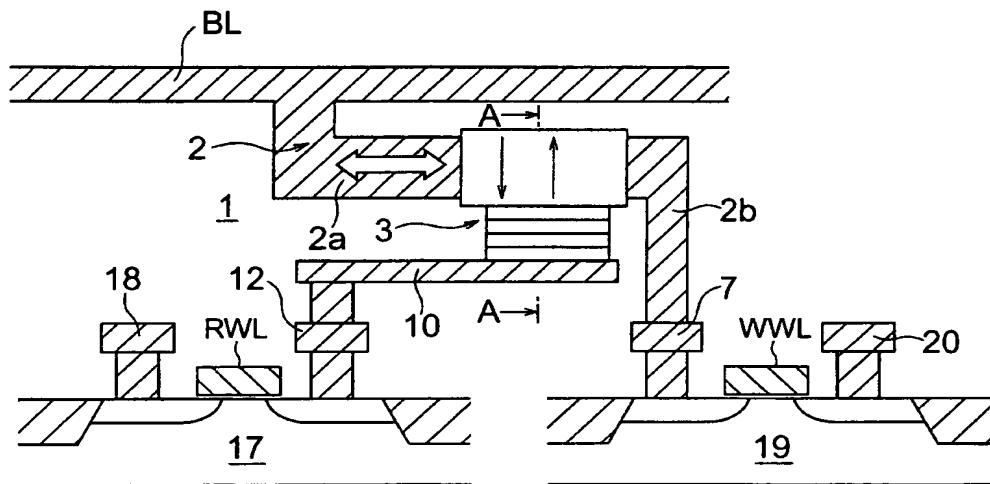
【図 7】



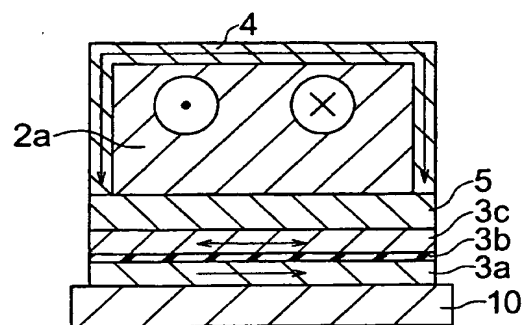
【図 8】



【図 9】



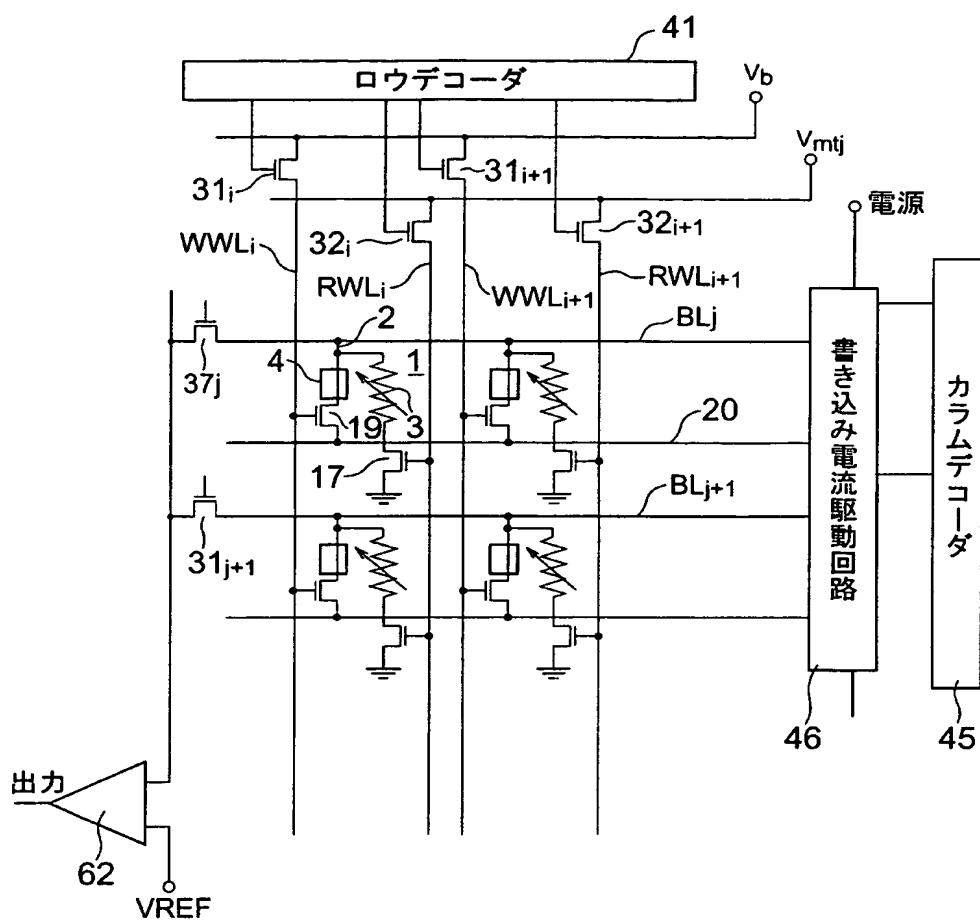
(a)



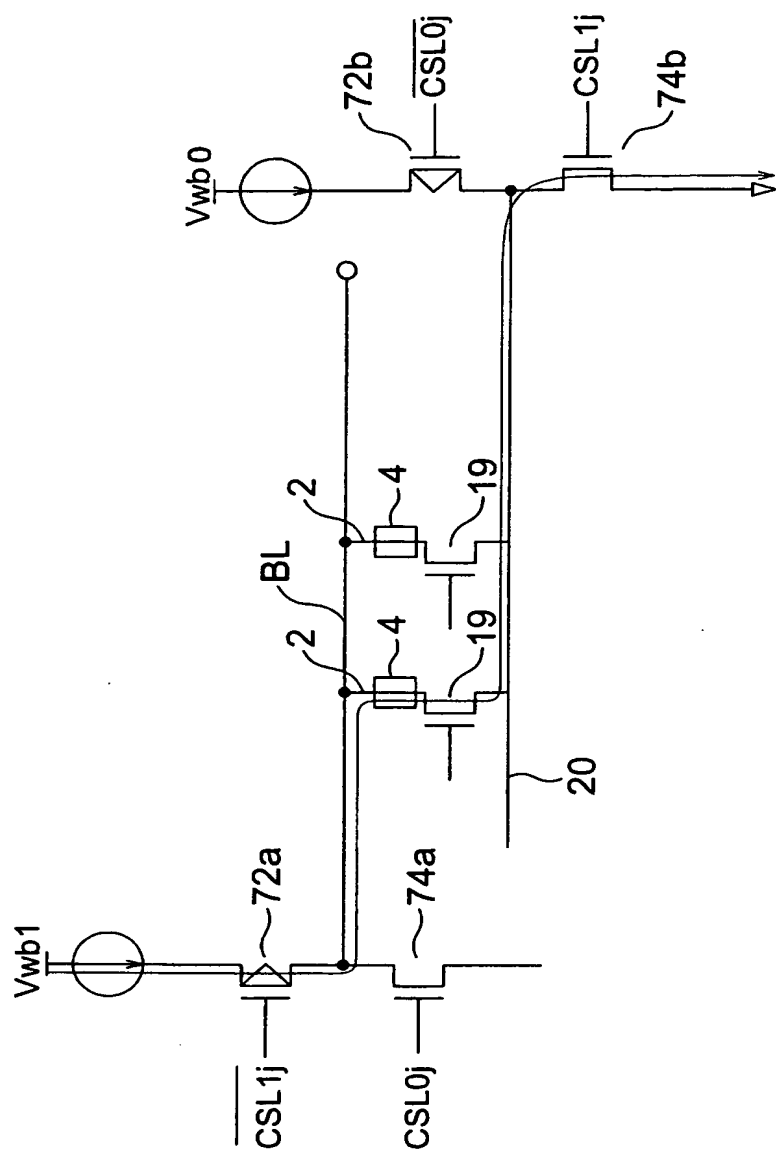
A-A断面

(b)

【図 10】



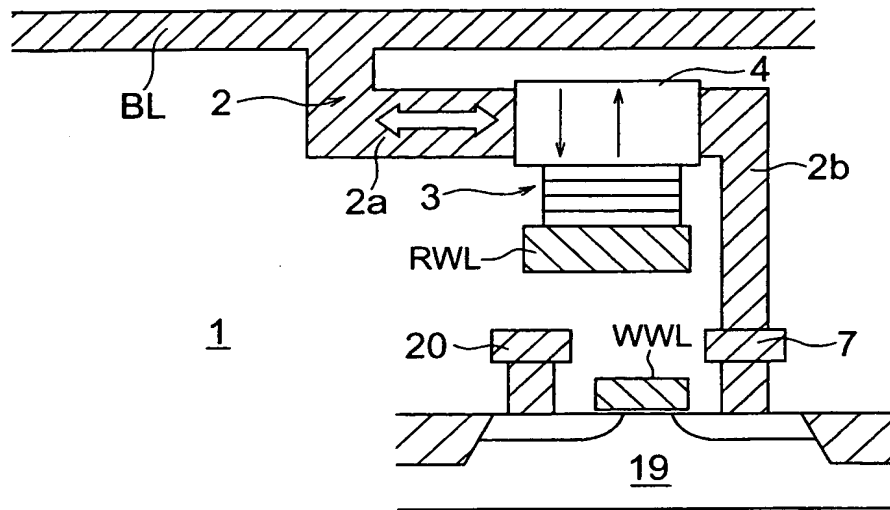
【図 1 1】



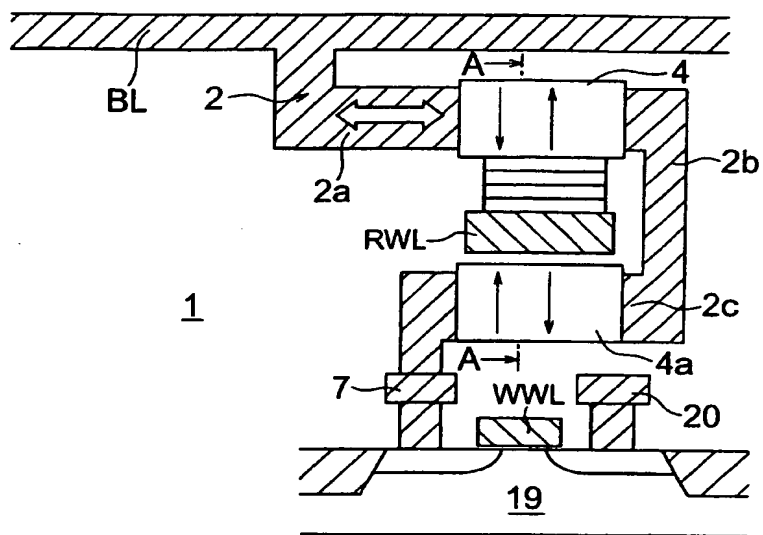




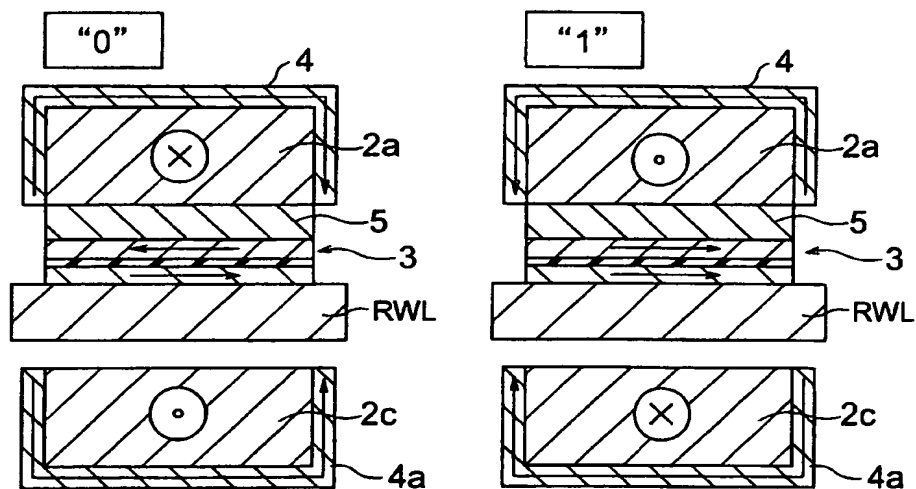
【図 14】



【図 15】



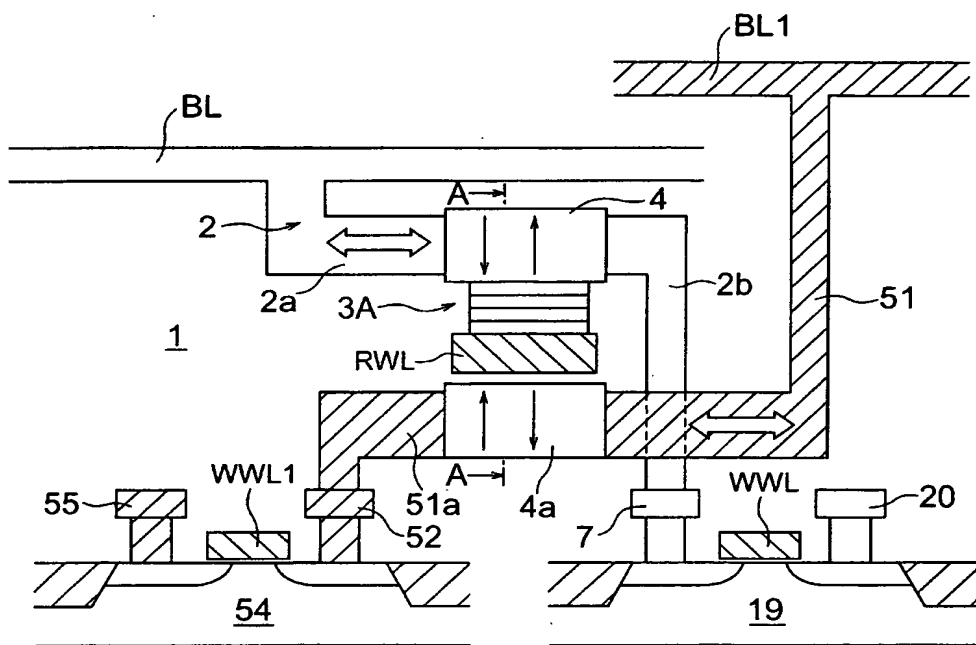
(a)



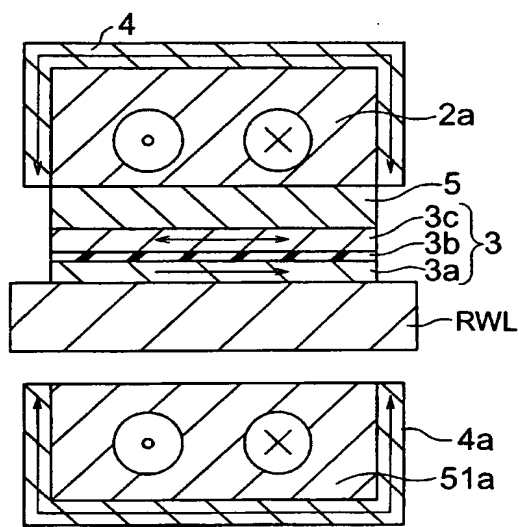
(b) A-A断面

(c) A-A断面

【図16】

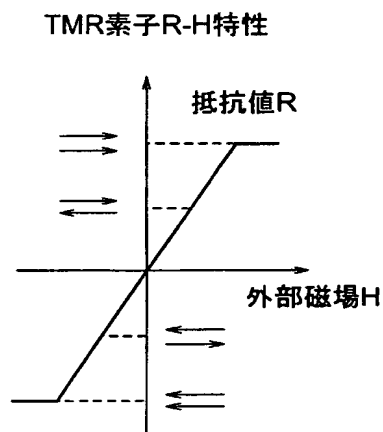


(a)



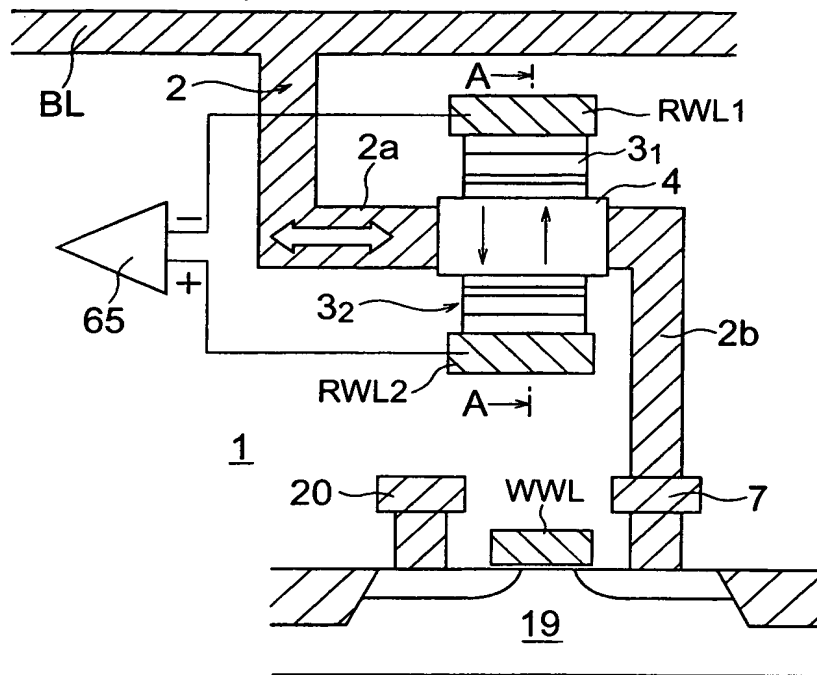
A-A断面

(b)

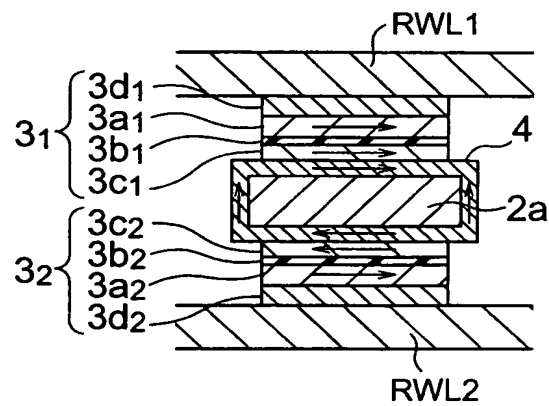


(c)

【図 17】



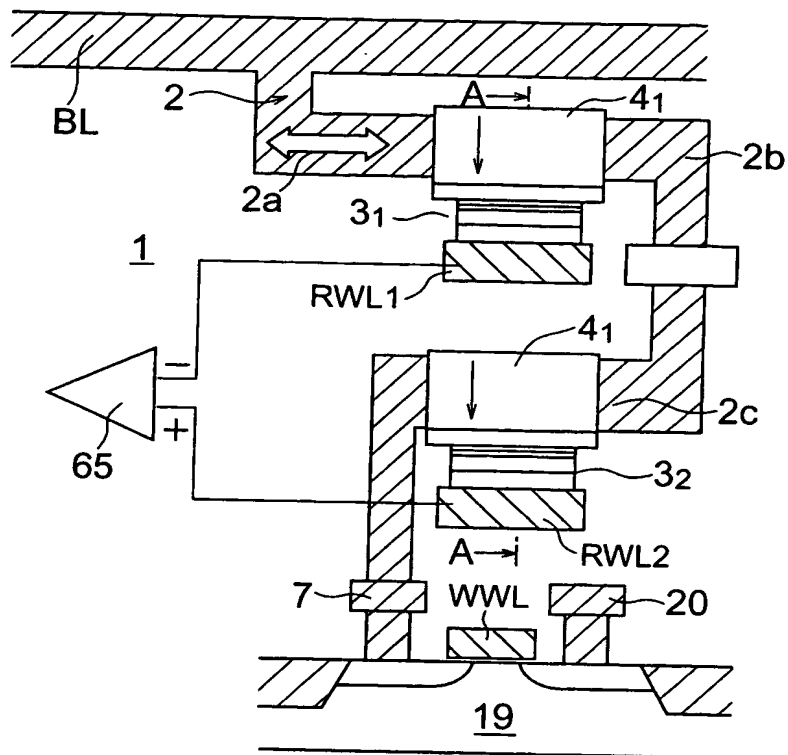
(a)



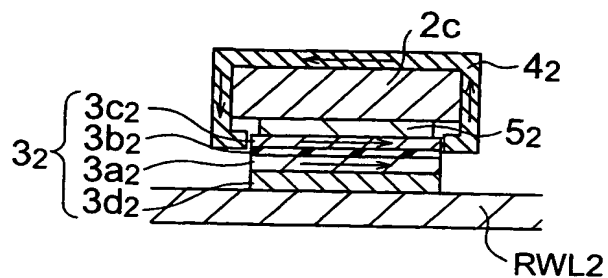
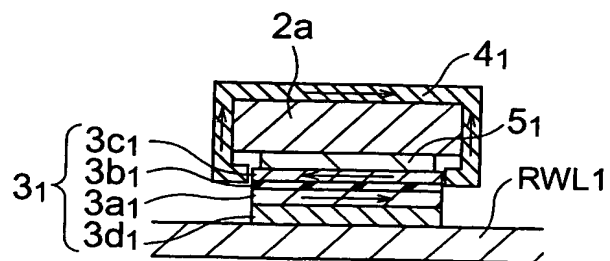
A-A断面

(b)

【図 18】



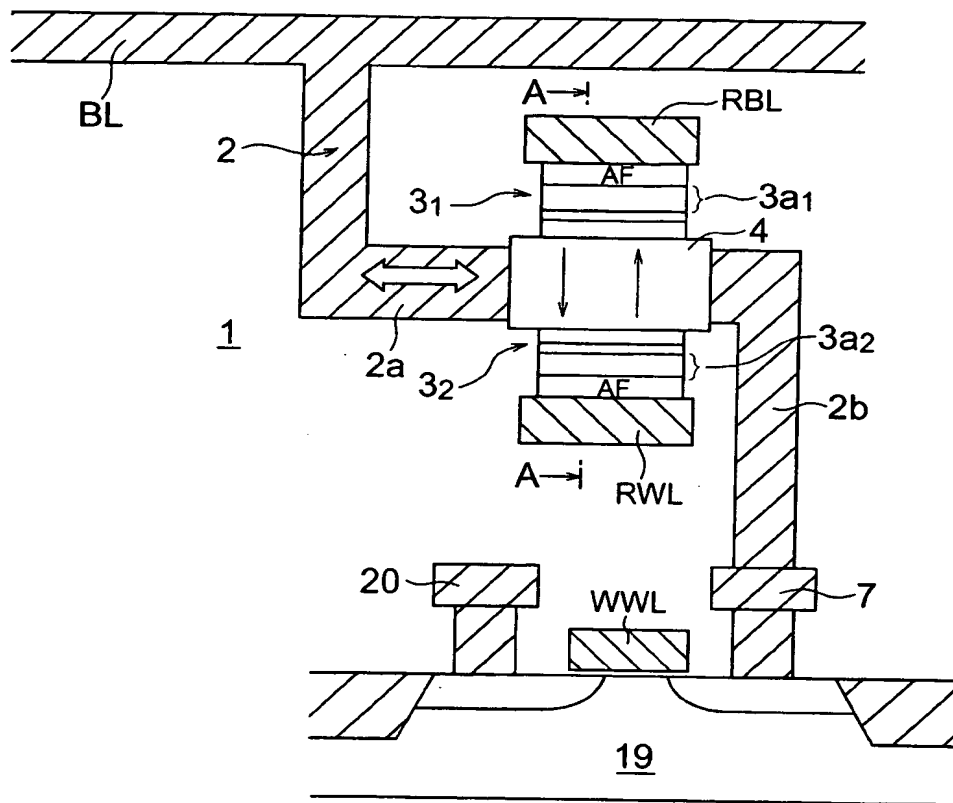
(a)



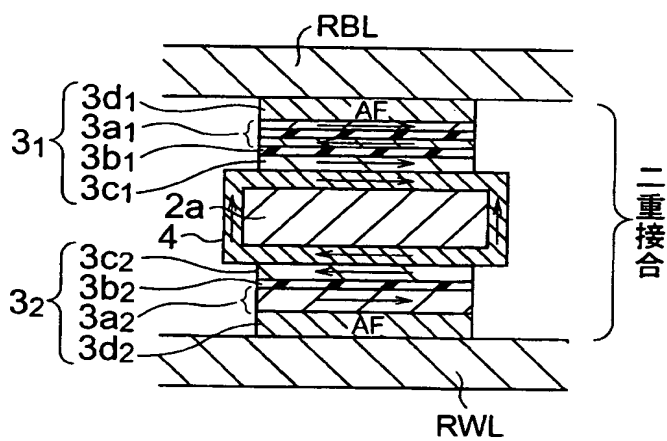
A-A断面

(b)

【図 19】



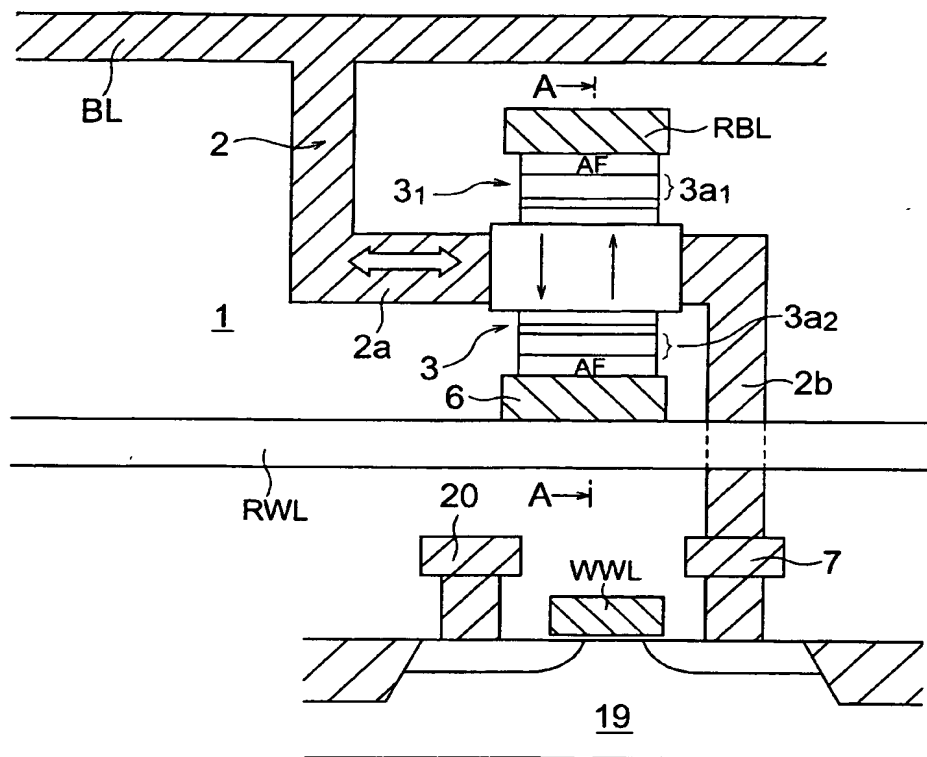
(a)



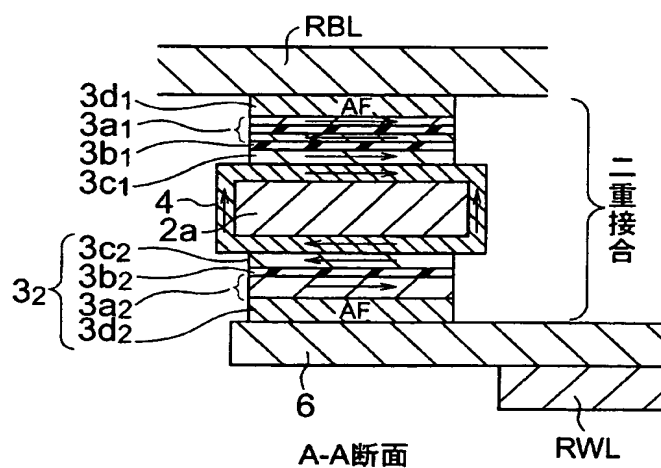
A-A断面

(b)

【図 20】

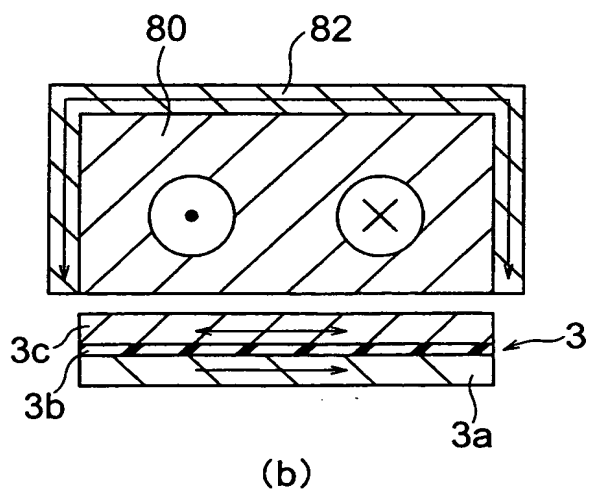
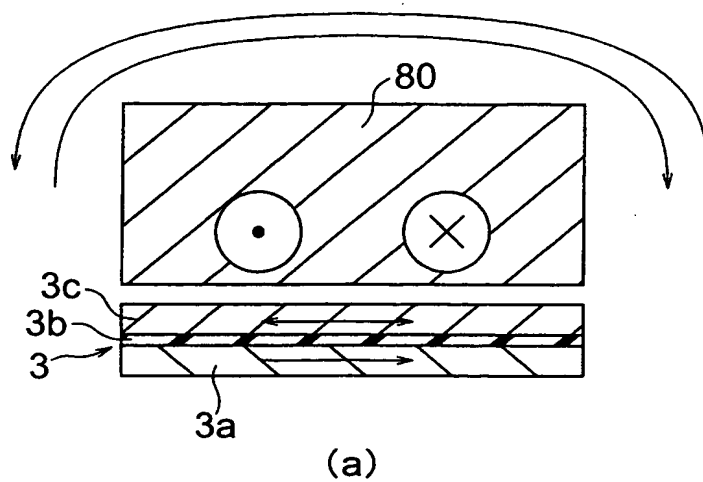


(a)



(b)

【図 21】





【書類名】 要約書

【要約】

【課題】 メモリセルの記憶状態を安定なものとする。

【解決手段】 少なくとも 1 つの書き込み配線 2 と、書き込み配線の外周の少なくとも一部に設けられ、書き込み配線に電流を流すことにより磁化方向が反転可能な強磁性体からなる少なくとも 1 つのデータ記憶部 4 と、データ記憶部近傍に設置され、データ記憶部の磁化の向きを感知する磁気抵抗効果素子 3 とを有するメモリセルを備えている。

【選択図】 図 1

特願 2002-318965

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝